

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年11月14日

出 願 番 号
Application Number:

特願2000-347205

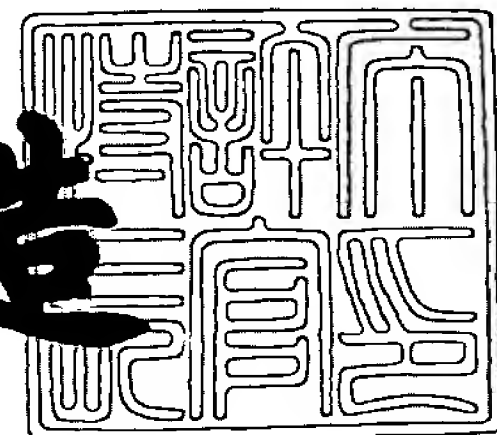
出 願 人
Applicant(s):

株式会社半導体エネルギー研究所

2001年 9月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3082133

【書類名】 特許願

【整理番号】 P005304

【提出日】 平成12年11月14日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/00

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 藤本 悦子

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 村上 智史

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 須沢 英臣

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 小野 幸治

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む T F T を備えた半導体装置であって、

p チャネル型 T F T を備えた画素部と、n チャネル型 T F T と p チャネル型 T F T を備えた駆動回路とを有し、

前記 n チャネル型 T F T のゲート電極は、第 1 の幅を有する第 1 の導電層を下層とし、前記第 1 の幅より狭い第 2 の幅を有する第 2 の導電層を上層とする積層構造であり、

前記 p チャネル型 T F T のゲート電極は、第 2 の導電層と同一の幅を有する第 1 の導電層との積層構造であることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、前記 n チャネル型 T F T における前記第 1 の導電層の端部における断面形状は、テーパ形状であることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、前記画素部の p チャネル型 T F T は、複数のチャネル形成領域を有していることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記駆動回路の n チャネル型 T F T は、テーパ部を有するゲート電極と、該ゲート電極と重なるチャネル形成領域と、該ゲート電極と一部重なる不純物領域とを有していることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記 n チャネル型 T F T の不純物領域における不純物濃度は、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記 n チャンネル型 T F T の不純物領域は、ソース領域またはドレイン領域を含むことを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一に記載の p チャンネル型 T F T において、前記チャンネル形成領域と前記ソース領域の間、または前記チャンネル形成領域と前記ドレイン領域との間に L D D 領域が存在することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 6 のいずれか一に記載の p チャンネル型 T F T において、前記チャンネル形成領域と前記ソース領域の間、または前記チャンネル形成領域と前記ドレイン領域との間にオフセット領域が存在することを特徴とする半導体装置。

【請求項 9】

絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む T F T を備えた半導体装置であって、

p チャンネル型 T F T を備えた画素部と、n チャンネル型 T F T と p チャンネル型 T F T を備えた駆動回路とを有し、

前記画素部の p チャンネル型 T F T は、テーパー部を有するゲート電極と、該ゲート電極と重なる複数のチャンネル形成領域と、該ゲート電極と一部重なる不純物領域とを有し、

前記駆動回路の n チャンネル型 T F T は、テーパー部を有するゲート電極と、該ゲート電極と重なるチャンネル形成領域と、該ゲート電極と一部重なる不純物領域とを有していることを特徴とする半導体装置。

【請求項 1 0】

請求項 1 乃至 9 のいずれか一において、前記ゲート電極を覆う絶縁膜上にゲート配線が形成され、該ゲート配線と前記不純物領域と接する画素電極は同一の工程により形成されたことを特徴とする半導体装置。

【請求項 1 1】

請求項 1 乃至 1 0 のいずれか一において、前記ゲート電極を覆う第 1 絶縁膜上にソース配線が形成され、該ソース配線を覆う第 2 絶縁膜上に不純物領域と接続す

る電極が形成され、該電極は画素電極と同一の工程により形成されたことを特徴とする半導体装置。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか一に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、カーナビゲーション、パーソナルコンピュータ、携帯型情報端末、デジタルビデオディスクプレーヤー、または電子遊技機器であることを特徴とする半導体装置。

【請求項 1 3】

絶縁表面上に第 1 の半導体層と第 1 のゲート電極を有する n チャネル型 T F T と第 2 の半導体層と第 2 のゲート電極を有する p チャネル型 T F T とを備えた半導体装置の作製方法であって、

絶縁表面上に第 1 の半導体層及び第 2 の半導体層を形成する工程と、

前記第 1 の半導体層及び第 2 の半導体層上に絶縁膜を形成する工程と、

前記絶縁膜上にテーパー部を有する第 1 のゲート電極を形成する工程と、

前記第 1 のゲート電極をマスクとして第 1 の半導体層に n 型を付与する不純物元素を添加して n 型の不純物領域を形成する工程と、

前記第 2 の半導体層上方における第 1 のゲート電極のテーパー部のみを選択的に除去して第 2 のゲート電極を形成する工程と、

前記第 2 のゲート電極をマスクとして前記第 2 の半導体層に p 型を付与する不純物元素を添加して p 型の不純物領域を形成する工程と、

を有する半導体装置の作製方法。

【請求項 1 4】

絶縁表面上に第 1 の半導体層と第 1 のゲート電極を有する n チャネル型 T F T と第 2 の半導体層と第 2 のゲート電極を有する p チャネル型 T F T とを備えた半導体装置の作製方法であって、

絶縁表面上に第 1 の半導体層及び第 2 の半導体層を形成する工程と、

前記第 1 の半導体層及び第 2 の半導体層上に絶縁膜を形成する工程と、

前記絶縁膜上にテーパー部を有する第 1 のゲート電極を形成する工程と、

前記第 1 のゲート電極をマスクとして第 1 の半導体層に n 型を付与する不純物

元素を添加して n 型の不純物領域を形成する工程と、

前記第 1 のゲート電極をマスクとして第 2 の半導体層に n 型を付与する不純物元素を添加して p 型の不純物領域を形成する工程と、

前記第 2 の半導体層上方における第 1 のゲート電極のテーパ部のみを選択的に除去して第 2 のゲート電極を形成する工程と、

を有する半導体装置の作製方法。

【請求項 1 5】

請求項 1 4 において、前記 p 型の不純物領域を形成する工程は、前記第 1 のゲート電極のテーパ部を通過させて前記第 2 の半導体層に p 型を付与する不純物元素を添加し、前記テーパ部の端部に向かって不純物濃度が増加する不純物領域を形成する工程であることを特徴とする半導体装置の作製方法。

【請求項 1 6】

請求項 1 3 乃至 1 5 のいずれか一において、第 1 のゲート電極は、第 1 の幅を有する第 1 の導電層を下層とし、前記第 1 の幅より狭い第 2 の幅を有する第 2 の導電層を上層とする積層構造であることを特徴とする半導体装置の作製方法。

【請求項 1 7】

請求項 1 6 において、前記第 1 の導電層のうち、第 2 の導電層と重なっていない領域の断面形状は、テーパ形状であることを特徴とする半導体装置の作製方法。

【請求項 1 8】

請求項 1 3 乃至 1 7 のいずれか一において、前記 n 型の不純物領域を形成する工程は、前記第 1 のゲート電極のテーパ部を通過させて前記第 1 の半導体層に n 型を付与する不純物元素を添加し、前記テーパ部の端部に向かって不純物濃度が増加する不純物領域を形成する工程であることを特徴とする半導体装置の作製方法。

【請求項 1 9】

請求項 1 3 乃至 1 8 のいずれか一において、前記ゲート電極を形成した後、ゲート電極を覆う第 1 絶縁膜を形成する工程と、該第 1 絶縁膜上にソース配線を形成する工程と、該ソース配線を覆う第 2 絶縁膜を形成する工程と、該第 2 絶縁膜

上にゲート配線を形成する工程とを有する半導体装置の作製方法。

【請求項 2 0】

請求項 1 3 乃至 1 9 のいずれか一において、前記 n チャンネル型 T F T と前記 p チャンネル型 T F T とを含む駆動回路を形成することを特徴とする半導体装置の作製方法。

【請求項 2 1】

請求項 1 3 乃至 2 0 のいずれか一において、前記 p チャンネル型 T F T からなる画素 T F T を形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は薄膜トランジスタ（以下、T F T という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示装置（液晶モジュールを搭載）に代表される装置およびその様な装置を部品として搭載した電子機器に関する。

【0 0 0 2】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0 0 0 3】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百 n m 程度）を用いて薄膜トランジスタ（T F T）を構成する技術が注目されている。薄膜トランジスタは I C や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0 0 0 4】

従来より、画像表示装置として液晶表示装置が知られている。パッシブ型の液晶表示装置に比べ高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになっている。アクティブマトリクス型の液晶

表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【 0 0 0 5 】

このようなアクティブマトリクス型の液晶表示装置の用途は広がっており、画面サイズの大面積化とともに高精細化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

【 0 0 0 6 】

【発明が解決しようとする課題】

従来、上記 T F T のゲート配線材料としてアルミニウムを用いて T F T を作製した場合、熱処理によってヒロックやウィスカー等の突起物の形成や、アルミニウム原子のチャネル形成領域への拡散により、T F T の動作不良や T F T 特性の低下を引き起こしていた。そこで、熱処理に耐え得る金属材料、代表的には高い融点を有している金属元素を用いた場合、画面サイズが大面積化すると配線抵抗が高くなる等の問題が発生し、消費電力の増大等を引き起こしていた。

【 0 0 0 7 】

そこで、本発明は、大画面化しても低消費電力を実現した半導体装置の構造およびその作製方法を提供することを課題としている。

【 0 0 0 8 】

【課題を解決するための手段】

本発明は、信号配線及びゲート配線を低抵抗な材料（代表的にはアルミニウム）で形成し、且つ、画素部の画素 T F T を p チャネル型 T F T で構成する。なお、ゲート電極はゲート配線と異なる層に設ける。また、画素の p チャネル型 T F T は、オフ電流のバラツキを低減するために、複数のチャネル形成領域を有するダブルゲート構造、またはトリプルゲート構造等のマルチゲート構造とする。

【 0 0 0 9 】

本明細書で開示する発明の構成は、

絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含むTFTを備えた半導体装置であって、

pチャネル型TFTを備えた画素部と、nチャネル型TFTとpチャネル型TFTを備えた駆動回路とを有し、

前記nチャネル型TFTのゲート電極は、第1の幅を有する第1の導電層を下層とし、前記第1の幅より狭い第2の幅を有する第2の導電層を上層とする積層構造であり、

前記pチャネル型TFTのゲート電極は、第2の導電層と同一の幅を有する第1の導電層との積層構造であることを特徴とする半導体装置である。

【0010】

上記構成において、前記nチャネル型TFTにおける前記第1の導電層の端部は、テーパ形状である。即ち、そのテーパ形状を成している部分（テーパ部）は、第2の導電層と重なっていない領域であり、その領域の幅は、第1の幅から第2の幅を差し引いた幅である。また、第2の導電層もテーパ形状となっているが、第1の導電層におけるテーパ部のテーパ角に比べて大きい。

【0011】

また、上記構成において、前記画素部のpチャネル型TFTは、マルチゲート構造であり、ゲート電極と重なる複数のチャネル形成領域と、該チャネル形成領域に接して形成された不純物領域とを有している。また、該不純物領域は、ソース領域またはドレイン領域である。

【0012】

また、上記構成において、前記駆動回路のnチャネル型TFTは、テーパ部を有するゲート電極と、該ゲート電極と重なるチャネル形成領域と、該ゲート電極と一部重なる不純物領域とを有している。また、前記nチャネル型TFTの不純物領域は、ソース領域またはドレイン領域を含むことを特徴としている。

【0013】

また、前記pチャネル型TFTにおいて、前記チャネル形成領域と前記ソース領域の間、または前記チャネル形成領域と前記ドレイン領域との間にLDD領域が存在する構造としてもよい。

【 0 0 1 4 】

また、pチャネル型TFTにおいて、前記チャネル形成領域と前記ソース領域の間、または前記チャネル形成領域と前記ドレイン領域との間にオフセット領域が存在する構造としてもよい。

【 0 0 1 5 】

本明細書中では、オフセット領域とは、活性層のうち、チャネル形成領域に含まれる不純物濃度とほぼ同一の不純物濃度を有し、且つ、ゲート電極と重ならない領域を指している。

【 0 0 1 6 】

また、上記各構成において、半導体にn型を付与する不純物元素は、リン（P）または砒素（As）であり、nチャネル型TFTが得られる。また、半導体にp型を付与する不純物元素は、ボロン（B）であり、pチャネル型TFTが得られる。

【 0 0 1 7 】

また、上記構造を実現するための発明の構成は、

絶縁表面上に第1の半導体層と第1のゲート電極を有するnチャネル型TFTと第2の半導体層と第2のゲート電極を有するpチャネル型TFTとを備えた半導体装置の作製方法であって、

絶縁表面上に第1の半導体層及び第2の半導体層を形成する工程と、

前記第1の半導体層及び第2の半導体層上に絶縁膜を形成する工程と、

前記絶縁膜上にテーパー部を有する第1のゲート電極を形成する工程と、

前記第1のゲート電極をマスクとして第1の半導体層にn型を付与する不純物元素を添加してn型の不純物領域を形成する工程と、

前記第2の半導体層上方における第1のゲート電極のテーパー部のみを選択的に除去して第2のゲート電極を形成する工程と、

前記第2のゲート電極をマスクとして前記第2の半導体層にp型を付与する不純物元素を添加してp型の不純物領域を形成する工程と、

を有する半導体装置の作製方法である。

【 0 0 1 8 】

上記作製方法に関する構成において、半導体層に p 型を付与する不純物添加に使用するためのレジストマスクと、ゲート電極のテーパー部のみを除去するためのレジストマスクは同一であることを特徴としている。

【 0 0 1 9 】

また、他の発明の構成は、

絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む T F T を備えた半導体装置であって、

p チャネル型 T F T を備えた画素部と、n チャネル型 T F T と p チャネル型 T F T を備えた駆動回路とを有し、

前記画素部の p チャネル型 T F T は、テーパー部を有するゲート電極と、該ゲート電極と重なる複数のチャネル形成領域と、該ゲート電極と一部重なる不純物領域とを有し、

前記駆動回路の n チャネル型 T F T は、テーパー部を有するゲート電極と、該ゲート電極と重なるチャネル形成領域と、該ゲート電極と一部重なる不純物領域とを有していることを特徴とする半導体装置である。

【 0 0 2 0 】

上記構成において、前記 n チャネル型 T F T 及び前記 p チャネル型 T F T のゲート電極は、第 1 の幅を有する第 1 の導電層を下層とし、前記第 1 の幅より狭い第 2 の幅を有する第 2 の導電層を上層とする積層構造であることを特徴とする半導体装置である。

【 0 0 2 1 】

また、上記構造を実現するための作製方法に関する発明の構成は、絶縁表面上に第 1 の半導体層と第 1 のゲート電極を有する n チャネル型 T F T と第 2 の半導体層と第 2 のゲート電極を有する p チャネル型 T F T とを備えた半導体装置の作製方法であって、

絶縁表面上に第 1 の半導体層及び第 2 の半導体層を形成する工程と、

前記第 1 の半導体層及び第 2 の半導体層上に絶縁膜を形成する工程と、

前記絶縁膜上にテーパー部を有する第 1 のゲート電極を形成する工程と、

前記第 1 のゲート電極をマスクとして第 1 の半導体層に n 型を付与する不純物

元素を添加して n 型の不純物領域を形成する工程と、

前記第 1 のゲート電極をマスクとして第 2 の半導体層に n 型を付与する不純物元素を添加して p 型の不純物領域を形成する工程と、

前記第 2 の半導体層上方における第 1 のゲート電極のテーパ部のみを選択的に除去して第 2 のゲート電極を形成する工程と、

を有する半導体装置の作製方法である。

【 0 0 2 2 】

上記作製方法に関する構成において、前記 p 型の不純物領域を形成する工程は、前記第 1 のゲート電極のテーパ部を通過させて前記第 2 の半導体層に p 型を付与する不純物元素を添加し、前記テーパ部の端部に向かって不純物濃度が増加する不純物領域を形成する工程であることを特徴としている。

【 0 0 2 3 】

上記作製方法に関する構成において、半導体層に p 型を付与する不純物添加に使用するためのレジストマスクと、ゲート電極のテーパ部のみを除去するためのレジストマスクは同一であることを特徴としている。

【 0 0 2 4 】

また、上記作製方法に関する二つの構成において、第 1 のゲート電極は、第 1 の幅を有する第 1 の導電層を下層とし、前記第 1 の幅より狭い第 2 の幅を有する第 2 の導電層を上層とする積層構造であることを特徴としている。また、前記第 1 の導電層のうち、第 2 の導電層と重なっていない領域の断面形状は、テーパ形状である。

【 0 0 2 5 】

また、上記作製方法に関する二つの構成において、前記 n 型の不純物領域を形成する工程は、前記第 1 のゲート電極のテーパ部を通過させて前記第 1 の半導体層に n 型を付与する不純物元素を添加し、前記テーパ部の端部に向かって不純物濃度が増加する不純物領域を形成する工程であることを特徴としている。

【 0 0 2 6 】

また、上記作製方法に関する二つの構成において、前記ゲート電極を形成した後、ゲート電極を覆う第 1 絶縁膜を形成する工程と、該第 1 絶縁膜上にソース配

線を形成する工程と、該ソース配線を覆う第2絶縁膜を形成する工程と、該第2絶縁膜上にゲート配線を形成する工程とを有することを特徴としている。

【0027】

また、上記作製方法に関する二つの構成において、前記nチャネル型TFTと前記pチャネル型TFTとを含む駆動回路を形成することを特徴としている。

【0028】

また、上記作製方法に関する二つの構成において、前記pチャネル型TFTからなる画素TFTを形成することを特徴としている。

【0029】

こうして、画素部が大画面化しても本発明により低消費電力を実現した半導体装置の構造およびその作製方法を提供することができる。

【0030】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【0031】

まず、基板上に下地絶縁膜を形成した後、第1のフォトリソグラフィ工程によって所望の形状の半導体層を形成する。

【0032】

次いで、半導体層を覆う絶縁膜（ゲート絶縁膜を含む）を形成する。絶縁膜上に第1の導電膜と第2の導電膜を積層形成する。これらの積層膜を第2のフォトリソグラフィ工程により第1のエッチング処理を行い、第1の導電層及び第2の導電層からなるゲート電極を形成する。なお、本発明において、先にゲート電極を形成した後、層間絶縁膜上にゲート配線を形成する。

【0033】

次いで、第2のフォトリソグラフィ工程で形成したレジストマスクをそのままの状態としたまま、半導体にn型を付与する不純物元素（リン等）を添加して自己整合的にn型の不純物領域（高濃度）を形成する。

【0034】

次いで、第2のフォトリソグラフィ工程で形成したレジストマスクをそのまま

の状態としたまま、エッチング条件を変えて第2のエッチング処理を行い、テーパー部を有する第1の導電層（第1の幅）と第2の導電層（第2の幅）を形成する。なお、第1の幅は第2の幅より大きく、ここでの第1の導電層と第2の導電層からなる電極がnチャネル型TFTのゲート電極（第1のゲート電極）となる。

【 0 0 3 5 】

次いで、レジストマスクを除去した後、前記第2の導電層をマスクとし、前記第1導電層のテーパー部を通過させて半導体層にn型を付与する不純物元素を添加する。ここで、第2の導電層の下方にはチャネル形成領域が形成され、第1の導電層の下方にはチャネル形成領域から離れるにつれて不純物濃度が徐々に増加する不純物領域（低濃度）を形成する。

【 0 0 3 6 】

次いで、第3のフォトリソグラフィ工程により少なくともnチャネル型TFTとなる領域を覆うレジストマスクを形成する。

【 0 0 3 7 】

次いで、第3のエッチング処理を行い、レジストマスクで覆われなかった第1の導電層のテーパー部、即ち第2の導電層と重なっていない部分を除去する。この第3のエッチング処理では第2の導電層をマスクとしたエッチングを行う。なお、第1の導電層は第2の導電層とほぼ同一の幅となり、ここでの第1の導電層と第2の導電層からなる電極がpチャネル型TFTのゲート電極（第2のゲート電極）となる。

【 0 0 3 8 】

次いで、第3のフォトリソグラフィ工程で形成したレジストマスクをそのままの状態としたまま、半導体にp型を付与する不純物元素を添加して、p型の不純物領域を形成する。

【 0 0 3 9 】

次いで、ゲート電極を保護する絶縁膜を形成した後、各半導体層に添加した不純物元素の活性化を行い、さらに絶縁膜上に第4のフォトリソグラフィ工程により低抵抗な金属材料（代表的にはアルミニウムを主成分とする材料）からなるソ

ース配線を形成する。このように本発明ではソース配線が低抵抗な金属材料で形成されているため、画素部の面積が大面積化しても十分駆動させることができる。

【 0 0 4 0 】

次いで、層間絶縁膜の形成を行い、第5のフォトリソグラフィ工程によりコンタクトホールを形成する。ここでは不純物領域に達するコンタクトホールと、ゲート電極に達するコンタクトホールと、ソース配線に達するコンタクトホールを形成する。

【 0 0 4 1 】

次いで、低抵抗な金属材料からなる導電膜を形成し、第6のフォトリソグラフィ工程によりゲート配線、ソース配線と不純物領域とを接続する電極、及び画素電極を形成する。本発明において、ゲート配線は層間絶縁膜に設けられたコンタクトホールを通じて第1のゲート電極または第2のゲート電極と電氣的に接続されている。また、ソース配線は、層間絶縁膜に設けられたコンタクトホールを通じて不純物領域（ソース領域）と電氣的に接続されている。また、画素電極は、層間絶縁膜に設けられたコンタクトホールを通じて不純物領域（ドレイン領域）と電氣的に接続されている。なお、この導電膜の材料は、画素電極を構成するため反射性の高い金属材料が好ましく、代表的にはアルミニウム、または銀を主成分とする材料を用いる。このように本発明ではゲート配線が低抵抗な金属材料で形成されているため、画素部の面積が大面積化しても十分駆動させることができる。

【 0 0 4 2 】

こうして、合計6回のフォトリソグラフィ工程、即ち、6枚のマスク数で画素TFT（pチャネル型TFT）を有する画素部と、CMOS回路（nチャネル型TFT及びpチャネル型TFT）を有する駆動回路とを備えた素子基板を形成することができる。

【 0 0 4 3 】

なお、ここでは、第3のエッチングを行った後、p型を付与する不純物元素を添加した例を示したが、p型を付与する不純物元素を添加した後、第3のエッチ

ングを行ってもよい。

【 0 0 4 4 】

また、画素電極として透光性導電膜を用い、所望の形状にパターニングを行えば、1枚マスクが増加するが、透過型液晶表示装置を作製することもできる。

【 0 0 4 5 】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【 0 0 4 6 】

【実施例】

[実施例 1]

ここでは、同一基板上に画素部（pチャネル型TFT）と、画素部の周辺に設ける駆動回路のCMOS回路を構成するTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について図1～図4を用いて説明する。

【 0 0 4 7 】

まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板100を用いる。なお、基板100としては、特に限定されず、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【 0 0 4 8 】

次いで、基板100上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜101を形成する。本実施例では下地膜101として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜101の一層目としては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜101aを10～200nm（好ましくは50～100nm）形成する。本実施例では、膜厚50nmの酸化窒化シリコン膜101a（組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ ）を形成した。次いで、下地膜101の二層目とし

ては、プラズマCVD法を用い、 SiH_4 及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜101bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化シリコン膜101b（組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ ）を形成した。

【0049】

次いで、下地膜上に半導体層102～105を形成する。半導体層102～105は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化处理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層102～105の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化（500℃、1時間）を行った後、熱結晶化（550℃、4時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層102～105を形成した。

【0050】

また、半導体層102～105を形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを適宜行ってもよい。

【0051】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、 YVO_4 レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを

用いる場合はパルス発振周波数 3 0 H z とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 mJ/cm² (代表的には 2 0 0 ~ 3 0 0 mJ/cm²) とする。また、Y A G レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 k H z とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 mJ/cm² (代表的には 3 5 0 ~ 5 0 0 mJ/cm²) とすると良い。そして幅 1 0 0 ~ 1 0 0 0 μ m、例えば 4 0 0 μ m で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 8 0 ~ 9 8 % として行えばよい。

【 0 0 5 2 】

また、図 1 1 にレーザー照射の様子について簡略に示した。レーザー光源 1 1 0 1 から出射されたレーザー光は、光学系 1 1 0 2 及びミラー 1 1 0 3 によって大型基板に照射する。なお、大型基板上の矢印はレーザー光の走査方向を示している。図 1 1 は、6 5 0 × 5 5 0 m m の大型基板 1 1 0 5 に多面取り、ここでは 6 個の 1 2 . 1 インチを形成する例を示した。

【 0 0 5 3 】

次いで、半導体層 1 0 2 ~ 1 0 5 を覆うゲート絶縁膜 1 0 6 を形成する。ゲート絶縁膜 1 0 6 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 n m としシリコンを含む絶縁膜で形成する。本実施例では、プラズマ C V D 法により 1 1 5 n m の厚さで酸化窒化シリコン膜 (組成比 S i = 3 2 %、O = 5 9 %、N = 7 %、H = 2 %) で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【 0 0 5 4 】

次いで、図 1 (A) に示すように、ゲート絶縁膜 1 0 6 上に膜厚 2 0 ~ 1 0 0 n m の第 1 の導電膜 1 0 7 a と、膜厚 1 0 0 ~ 4 0 0 n m の第 2 の導電膜 1 0 7 b とを積層形成する。本実施例では、膜厚 3 0 n m の T a N 膜からなる第 1 の導電膜 1 0 7 a と、膜厚 3 7 0 n m の W 膜からなる第 2 の導電膜 1 0 7 b を積層形成した。T a N 膜はスパッタ法で形成し、T a のターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W 膜は、W のターゲットを用いたスパッタ法で形成した。その他に 6 フッ化タングステン (W F₆) を用いる熱 C V D 法で形成

することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW（純度99.9999%）のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9\sim 20\mu\Omega\text{cm}$ を実現することができた。

【0055】

なお、本実施例では、第1の導電膜107aをTa₂N₅、第2の導電膜107bをWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、第1の導電膜をタンタル（Ta）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン（TiN）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta₂N₅）膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta₂N₅）膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0056】

次に、フォトリソグラフィ法を用いてレジストからなるマスク108a～111aを形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。なお、エッチング用ガスとしては、Cl₂、BCl₃、SiCl₄、CCl₄などを代表とする塩素系ガスまたはCF₄、SF₆、NF₃などを代表とするフッ素系ガス、またはO₂を適宜用いることができる。ここでは、

松下電器産業（株）製の I C P を用いたドライエッチング装置（Model E 6 4 5 - □ I C P）を用いた。基板側（試料ステージ）にも 1 5 0 W の R F（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により W 膜をエッチングして第 1 の導電層の端部をテーパ形状とする。第 1 のエッチング条件での W に対するエッチング速度は 2 0 0 . 3 9 nm/min、T a N に対するエッチング速度は 8 0 . 3 2 nm/min であり、T a N に対する W の選択比は約 2 . 5 である。また、この第 1 のエッチング条件によって、W のテーパ角は、約 2 6 ° となる。

【 0 0 5 7 】

この後、レジストからなるマスク 1 0 8 a ~ 1 1 1 a を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに C F₄ と C l₂ とを用い、それぞれのガス流量比を 3 0 / 3 0（s c c m）とし、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F（13.56MHz）電力を投入してプラズマを生成して約 3 0 秒程度のエッチングを行った。基板側（試料ステージ）にも 2 0 W の R F（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。C F₄ と C l₂ を混合した第 2 のエッチング条件では W 膜及び T a N 膜とも同程度にエッチングされる。第 2 のエッチング条件での W に対するエッチング速度は 5 8 . 9 7 nm/min、T a N に対するエッチング速度は 6 6 . 4 3 nm/min である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、1 0 ~ 2 0 % 程度の割合でエッチング時間を増加させると良い。

【 0 0 5 8 】

上記第 1 のエッチング処理では、レジストからなるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。このテーパ部の角度は 1 5 ~ 4 5 ° とすればよい。

【 0 0 5 9 】

こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 1 1 3 ~ 1 1 6（第 1 の導電層 1 1 3 a ~ 1 1 6 a と第 2 の導電層 1 1 3 b ~ 1 1 6 b）を形成する。（図 1（B））ここでのチャネル長方

向における第 1 の導電層の幅は、上記実施の形態に示した第 1 の幅に相当する。図示しないが、ゲート絶縁膜となる絶縁膜 1 0 6 のうち、第 1 の形状の導電層 1 1 3 ~ 1 1 6 で覆われない領域は 1 0 ~ 2 0 nm 程度エッチングされ薄くなった領域が形成される。

【 0 0 6 0 】

そして、レジストからなるマスクを除去せずに第 1 のドーピング処理を行い、半導体層に n 型を付与する不純物元素を添加する。(図 1 (C)) ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。イオンドーピング法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を 6 0 ~ 1 0 0 k e V として行う。本実施例ではドーズ量を $1.5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を 8 0 k e V として行った。n 型を付与する不純物元素として 1 5 族に属する元素、典型的にはリン (P) または砒素 (A s) を用いるが、ここではリン (P) を用いた。この場合、導電層 1 1 3 ~ 1 1 6 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に n 型の不純物領域 (高濃度) 1 1 8 ~ 1 2 1 が形成される。不純物領域 1 1 8 ~ 1 2 1 には $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲で n 型を付与する不純物元素を添加する。

【 0 0 6 1 】

次いで、レジストからなるマスクを除去せずに第 2 のエッチング処理を行う。ここでは、エッチング用ガスに SF_6 と Cl_2 と O_2 とを用い、それぞれのガス流量比を 2 4 / 1 2 / 2 4 (s c c m) とし、1. 3 Pa の圧力でコイル型の電極に 7 0 0 W の R F (13.56 MHz) 電力を投入してプラズマを生成してエッチングを 2 5 秒行った。基板側 (試料ステージ) にも 1 0 W の R F (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。第 2 のエッチング処理での W に対するエッチング速度は 2 2 7. 3 n m / m i n、T a N に対するエッチング速度は 3 2. 1 n m / m i n であり、T a N に対する W の選択比は 7. 1 であり、絶縁膜 1 0 6 である S i O N に対するエッチング速度は 3 3. 7 n m / m i n であり、T a N に対する W の選択比は 6. 8 3 である。このようにエッチングガス用ガスに SF_6 を用いた場合、絶縁膜 1 0 6 との選択比が高いので膜減りを抑えることができる。

【 0 0 6 2 】

この第2のエッチング処理により第2の導電層(W)のテーパ角は 70° となった。この第2のエッチング処理により第2の導電層122b~125bを形成する。一方、第1の導電層は、ほとんどエッチングされず、第1の導電層122a~125aを形成する。(図1(D))図示しないが、実際には、第1の導電層の幅は、第2のエッチング処理前に比べて約 $0.3\mu\text{m}$ 程度、即ち線幅全体で $0.6\mu\text{m}$ 程度後退する。また、ここでのチャネル長方向における第2の導電層の幅が実施の形態に示した第2の幅に相当する。

【 0 0 6 3 】

なお、第1の導電層122aと第2の導電層122bとで形成された電極は、後の工程で形成されるCMOS回路のnチャネル型TFTのゲート電極となり、第1の導電層125aと第2の導電層125bとで形成された電極は、後の工程で形成される保持容量の一方の電極となる。

【 0 0 6 4 】

また、上記第2のエッチング処理において、 CF_4 と Cl_2 と O_2 とをエッチングガスに用いることも可能である。その場合は、それぞれのガス流量比を $25/25/10$ (sccm)とし、 1Pa の圧力でコイル型の電極に 500W のRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行えばよい。基板側(試料ステージ)にも 20W のRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 と O_2 とを用いる場合のWに対するエッチング速度は $124.62\text{nm}/\text{min}$ 、Ta₂Nに対するエッチング速度は $20.67\text{nm}/\text{min}$ であり、Ta₂Nに対するWの選択比は 6.05 である。従って、W膜が選択的にエッチングされる。また、この場合、絶縁膜106のうち、第1の形状の導電層122~125で覆われない領域は 50nm 程度エッチングされ薄くなった領域が形成される。

【 0 0 6 5 】

次いで、レジストからなるマスクを除去した後、第2のドーピング処理を行って図2(A)の状態を得る。ドーピングは第2の導電層122b~125bを不純物元素に対するマスクとして用い、第1の導電層におけるテーパ部下方の半

導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP（リン）を用い、ドーピング条件をドーズ量 $1.5 \times 10^{14}/\text{cm}^2$ 、加速電圧90 keV、イオン電流密度 $0.5 \mu\text{A}/\text{cm}^2$ 、フォスフィン（ PH_3 ）5%水素希釈ガス、ガス流量30 sccmにてプラズマドーピングを行った。こうして、第1の導電層と重なる不純物領域（低濃度）127～136を自己整合的に形成する。この不純物領域127～136へ添加されたリン（P）の濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ であり、且つ、第1の導電層におけるテーパ部の膜厚に従って濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層におけるテーパ部の端部から内側に向かって不純物濃度（P濃度）が次第に低くなっている。即ち、この第2のドーピング処理により濃度分布が形成される。また、不純物領域（高濃度）118～121にも不純物元素がさらに添加され、不純物領域（高濃度）137～145を形成する。

【0066】

なお、本実施例ではテーパ部の幅（チャンネル長方向の幅）は少なくとも $0.5 \mu\text{m}$ 以上であることが好ましく、 $1.5 \mu\text{m} \sim 2 \mu\text{m}$ が限界である。従って、膜厚にも左右されるが濃度勾配を有する不純物領域（低濃度）のチャンネル長方向の幅も $1.5 \mu\text{m} \sim 2 \mu\text{m}$ が限界となる。また、ここでは、不純物領域（高濃度）と不純物領域（低濃度）とを別々なものとして図示しているが、実際は、明確な境界はなく、濃度勾配を有する領域が形成されている。また、同様にチャンネル形成領域と不純物領域（低濃度）との明確な境界もない。

【0067】

次いで、後にnチャンネル型TFTの活性層となる半導体層をレジストからなるマスク146、147で覆い、第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を選択的にエッチングして、半導体層と重なる領域がなくなるようにする。第3のエッチング処理は、エッチングガスにWとの選択比が高い Cl_3 を用い、ICPエッチング装置を用いて行う。本実施例では、 Cl_3 のガス流量比を80（sccm）とし、1.2 Paの圧力でコイル型の電極に350 WのRF（13.56 MHz）電力を投入してプラズマを生成してエ

ッチングを 3 0 秒行った。基板側（試料ステージ）にも 5 0 W の R F（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第 3 のエッチングにより、第 1 の導電層 1 2 3 c、1 2 4 c が形成される。（図 2（B））

【 0 0 6 8 】

なお、第 1 の導電層 1 2 4 c と第 2 の導電層 1 2 4 b とで形成された電極は、後の工程で形成される画素部の p チャネル型 T F T のゲート電極となる。また、第 1 の導電層 1 2 3 c と第 2 の導電層 1 2 3 b とで形成された電極は、後の工程で形成される C M O S 回路の p チャネル型 T F T のゲート電極となる。

【 0 0 6 9 】

次いで、レジストマスク 1 4 6、1 4 7 をそのままの状態として、第 3 のドーピング処理を行う。この第 3 のドーピング処理により、p チャネル型 T F T の活性層となる半導体層に前記一導電型（n 型）とは逆の導電型（p 型）を付与する不純物元素が添加された p 型の不純物領域（高濃度）1 4 9 ～ 1 5 3 を形成する。（図 2（C））

【 0 0 7 0 】

本実施例では、p 型不純物領域 1 4 9 ～ 1 5 3 はジボラン（ B_2H_6 ）を用いたイオンドーブ法で形成する。なお、第 1 のドーピング処理及び第 2 のドーピング処理によって、不純物領域 1 4 9 ～ 1 5 3 にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもボロンの濃度が $2 \times 10^{20} \sim 2 \times 10^{21}/cm^3$ となるようにドーピング処理することにより、p チャネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じない。

【 0 0 7 1 】

また、第 3 のドーピング処理の前に絶縁膜 1 0 6 を選択的に除去して半導体層を露呈させてから第 3 のドーピング処理を行ってもよい。

【 0 0 7 2 】

次いで、レジストからなるマスク 1 4 6、1 4 7 を除去して第 1 の層間絶縁膜 1 5 4 を形成する。この第 1 の層間絶縁膜 1 5 4 としては、プラズマ C V D 法またはスパッタ法を用い、厚さを 1 0 ～ 2 0 0 n m としてシリコンを含む絶縁膜で形成する。この第 1 の層間絶縁膜は、膜減りした絶縁膜に後でコンタクトホール

を形成する際、半導体層をオーバーエッチングしないようにエッチングストッパーとしての機能を果たすものである。本実施例では、プラズマCVD法により膜厚50nmの酸化シリコン膜を形成した。勿論、第1の層間絶縁膜154は酸化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0073】

次いで、図2(D)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0074】

また、図示しないが、この活性化処理により不純物元素が拡散してn型の不純物領域(低濃度)と不純物領域(高濃度)との境界がほとんどなくなる。

【0075】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0076】

また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のようにゲート電極を保護するため第1の層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0077】

次いで、水素雰囲気中で熱処理を行って半導体層を水素化する。水素化の他の

手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を用いてもよい。

【 0 0 7 8 】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【 0 0 7 9 】

次いで、第1の層間絶縁膜上にソース配線126を形成する。（図3（A））このソース配線126は低抵抗な材料、代表的にはアルミニウム、またはアルミニウムを主成分とする材料を用いることが好ましい。

【 0 0 8 0 】

次いで、ソース配線を覆う第2の絶縁膜155を形成する。第2の絶縁膜155としてはシリコンを主成分とする無機絶縁膜を用いればよい。

【 0 0 8 1 】

ここでは、第1の層間絶縁膜上にソース配線126を形成した例を示したが、活性化を行った後、窒化シリコン膜からなる第2の層間絶縁膜を形成して熱処理（300～550℃で1～12時間の熱処理）を行い、半導体層を水素化する工程を行った後、第2の層間絶縁膜上にソース配線を形成してもよい。この際の水素化は第2の層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。

【 0 0 8 2 】

次いで、第2の層間絶縁膜155上に有機絶縁物材料から成る第3の層間絶縁膜156を形成する。本実施例では膜厚1.6 μ mのアクリル樹脂膜を形成した。次いで、各不純物領域（137、138、149、150、151、153、144）に達するコンタクトホールと、ソース配線126に達するコンタクトホールと、ゲート電極124に達するコンタクトホールとを形成するためのパターニングを行う。

【 0 0 8 3 】

次いで、不純物領域（137、138、149、150）とそれぞれ電氣的に

接続する電極 1 5 7 ~ 1 6 0 と、不純物領域 1 4 4 及び不純物領域 1 5 3 と電氣的に接続する画素電極 1 6 3 と、ソース領域となる不純物領域 1 5 1 とソース配線 1 2 6 とを電氣的に接続する電極（接続電極） 1 6 1 と、ゲート電極 1 2 4 と電氣的に接続するゲート配線 1 6 2 を形成する。これらの電極及び画素電極の材料は、A l または A g を主成分とする膜、またはそれらの積層膜等の反射性に優れた材料を用いる。

【 0 0 8 4 】

また、保持容量 2 0 7 の一方の電極として機能する不純物領域 1 3 5、1 3 6、1 4 4、1 4 5 には、それぞれ n 型を付与する不純物元素が添加されている。保持容量 2 0 7 は、絶縁膜 1 0 6 を誘電体として、電極 2 3 9 b、2 3 9 c と、半導体層とで形成している。

【 0 0 8 5 】

以上の様にして、n チャネル型 T F T 2 0 3 及び p チャネル型 T F T 2 0 4 からなる C M O S 回路 2 0 2 を含む駆動回路 2 0 1 と、p チャネル T F T からなる画素 T F T 2 0 6 及び保持容量 2 0 7 とを有する画素部 2 0 5 とを同一基板上に形成することができる。（図 3（B））本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【 0 0 8 6 】

本実施例で作製するアクティブマトリクス基板の画素部の上面図を図 4 に示す。なお、図 3（B）に対応する部分には同じ符号を用いている。図 3（B）中の鎖線 A - A' は図 4 中の鎖線 A - A' で切断した断面図に対応している。また、図 3（B）中の鎖線 B - B' は図 4 中の鎖線 B - B' で切断した断面図に対応している。

【 0 0 8 7 】

本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極 1 6 3 の端部をソース配線 1 2 6 と重なるように配置形成させている。

【 0 0 8 8 】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要

なフォトマスクの数を6枚とすることができた。

【 0 0 8 9 】

〔実施例2〕

本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図5を用いる。

【 0 0 9 0 】

まず、実施例1に従い、図3（B）の状態のアクティブマトリクス基板を得た後、図3（B）のアクティブマトリクス基板上に配向膜301を形成しラビング処理を行う。なお、本実施例では配向膜301を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【 0 0 9 1 】

次いで、対向基板300を用意する。この対向基板には、着色層302、遮光層303が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層303を設けた。このカラーフィルタと遮光層とを覆う平坦化膜304を設けた。次いで、平坦化膜304上に透明導電膜からなる対向電極305を画素部に形成し、対向基板の全面に配向膜306を形成し、ラビング処理を施した。

【 0 0 9 2 】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材307で貼り合わせる。シール材307にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料308を注入し、封止剤（図示せず）によって完全に封止する。液晶材料308には公知の液晶材料を用いれば良い。このようにして図5に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、

公知の技術を用いて F P C を貼りつけた。

【 0 0 9 3 】

こうして得られた液晶モジュールの構成を図 6 の上面図を用いて説明する。なお、図 5 と対応する部分には同じ符号を用いた。

【 0 0 9 4 】

図 6 で示す上面図は、画素部、駆動回路、F P C (フレキシブルプリント配線板: Flexible Printed Circuit) 3 1 1 を貼り付ける外部入力端子 3 0 9、外部入力端子と各回路の入力部までを接続する配線 3 1 0 などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板 3 0 0 とがシール材 3 0 7 を介して貼り合わされている。

【 0 0 9 5 】

ゲート配線側駆動回路 2 0 1 a と重なるように対向基板側に遮光層 3 0 3 a が設けられ、ソース配線側駆動回路 2 0 1 b と重なるように対向基板側に遮光層 4 0 3 b が形成されている。また、画素部 2 0 5 上の対向基板側に設けられたカラーフィルタ 3 0 2 は遮光層と、赤色 (R)、緑色 (G)、青色 (B) の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色 (R) の着色層、緑色 (G) の着色層、青色 (B) の着色層の 3 色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【 0 0 9 6 】

ここでは、カラー化を図るためにカラーフィルタ 3 0 2 を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【 0 0 9 7 】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層 3 0 3 a、3 0 3 b を設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

【 0 0 9 8 】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【 0 0 9 9 】

また、外部入力端子にはベースフィルムと配線から成る F P C 4 1 1 が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

【 0 1 0 0 】

以上のようにして作製される液晶モジュールは各種電子機器の表示部として用いることができる。

【 0 1 0 1 】

〔実施例 3〕

実施例 1 では第 3 のエッチング処理後に第 3 のドーピング処理を行ったが、本実施例では、第 3 のドーピング処理を行った後、第 3 のエッチング処理を行う例を図 7 に示す。さらに、本実施例では透過型の例を図 8 に示す。

【 0 1 0 2 】

まず、実施例 1 に従って、図 7 (A) と同じ状態を得る。なお、図 7 (A) は、実施例 1 の図 2 (A) と同一である。

【 0 1 0 3 】

図 7 (A) と同じ状態を得たら、n チャネル型 T F T となる領域をレジストマスクで覆い、第 3 のドーピング処理を行う。この第 3 のドーピング処理により、p チャネル型 T F T の活性層となる半導体層に前記一導電型（n 型）とは逆の導電型（p 型）を付与する不純物元素が添加された p 型不純物領域 4 0 3 ～ 4 1 3（不純物領域（高濃度）4 0 3 ～ 4 0 7 及び不純物領域（低濃度）4 0 8 ～ 4 1 3）を形成する。なお、テーパー部を通過させてドーピングするため、p 型の低濃度不純物領域 4 0 8 ～ 4 1 3 は、n 型の不純物領域（低濃度）と同様の濃度勾配を有している。（図 7 (B)）

【 0 1 0 4 】

次いで、レジストからなるマスクをそのまま残して第 3 のエッチング処理を行

う。この第3のエッチング処理では第1の導電層のテーパー部を選択的にエッチングして第1導電層401c、402cを形成する。

【0105】

次いで、実施例1と同様にレジストからなるマスクを除去し、第1の層間絶縁膜を形成する。次いで、実施例1に従って活性化処理を行い、第2の層間絶縁膜、及び第3の層間絶縁膜を形成する。

【0106】

次いで、第3の層間絶縁膜上に透明導電膜を形成し、透明導電膜からなる画素電極416をフォトマスクを用いてパターニングする。その後、コンタクトホールを形成する。次いで、不純物領域と接続する電極と、画素電極416と重なる接続電極417と、画素電極416と重なる接続電極418とを形成する。

【0107】

以上の工程により、画素部505においては、pチャネル型TFTからなる画素TFT506と保持容量507が形成される。

【0108】

なお、駆動回路501においては、実施例1と同一の構造であるため、ここでは詳細な説明は省略する。なお、nチャネル型TFT503は、図4中のnチャネル型TFT203に相当し、pチャネル型TFT504は、図4中のpチャネル型TFT204に相当している。

【0109】

また、本実施例で示す工程に従えば、透過型のアクティブマトリクス基板の作製に必要なフォトマスクの数を6枚とすることができる。その結果、製造工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0110】

ただし、透過型であるため、用いる基板は透光性を有する基板、例えばガラス基板、石英基板、プラスチック基板とする。

【0111】

また、本実施例は実施例2と組みあわせることが可能である。

【0112】

〔実施例 4〕

本実施例ではオフセット領域をチャネル形成領域と不純物領域との間に設ける例を図 9 に示す。

【0 1 1 3】

図 9 に示すようなオフセット領域を形成するには、例えば実施例 1 における図 2 (C) の第 3 のドーピング処理を行った後、レジストマスクをそのままの状態にしたまま第 4 のエッチング処理を行い、さらにゲート電極の幅を細くする。以降の工程は、実施例 1 と同一でよい。

【0 1 1 4】

以上の工程により、画素部 7 0 5 においては、ダブルゲート構造の p チャネル型 T F T からなる画素 T F T 7 0 6 と保持容量 7 0 7 が形成される。

【0 1 1 5】

画素 T F T 7 0 6 は、ソース領域 6 0 1 とチャネル形成領域 6 0 2 a との間にオフセット領域 6 0 2 b を有している。このオフセット領域を形成することにより画素 T F T のオフ電流の低下を実現することができる。また、同様に不純物領域 6 0 3 とチャネル形成領域 6 0 2 a との間にオフセット領域 6 0 2 b を有している。また、不純物領域 6 0 3 とチャネル形成領域 6 0 4 a の間、ドレイン領域 6 0 5 とチャネル形成領域 6 0 4 a の間にそれぞれオフセット領域を有している。

【0 1 1 6】

なお、保持容量 7 0 7 と駆動回路 7 0 1 の n チャネル型 T F T 7 0 3 は、実施例 1 と同一の構造であるため、ここでは詳細な説明は省略する。なお、保持容量 7 0 7 は、図 4 中の保持容量 2 0 7 に相当し、n チャネル型 T F T 7 0 3 は、図 4 中の n チャネル型 T F T 2 0 3 に相当している。また、p チャネル型 T F T 7 0 4 は、画素部と同様にオフセット領域を有している例を示したが、第 4 のエッチングの前にマスクを 1 枚増やして駆動回路の p チャネル型 T F T をレジストマスクで覆い、実施例 1 の p チャネル型 T F T と同じ構造としてもよい。

【0 1 1 7】

また、本実施例は実施例 2 と組みあわせることが可能である。

【 0 1 1 8 】

〔実施例 5〕

本実施例では p チャンネル型 T F T からなる画素 T F T は、ゲート電極と重なる L D D 領域を設ける例を図 1 0 に示す。

【 0 1 1 9 】

図 1 0 に示すようなゲート電極と重なる不純物領域 (L o v) を形成するには、例えば実施例 1 における図 2 (C) の第 3 のドーピング処理において、ゲート電極の端部の下方に不純物元素が添加されるようなドーピング条件に変えればよい。または、実施例 1 の第 3 のドーピング処理に加えて、条件を変えたドーピング処理を行ってもよい。こうしてゲート電極の端部の下方に形成された不純物領域 8 0 2 、 8 0 6 、 8 0 9 は、ゲート電極と重ならない不純物領域 8 0 1 、 8 0 4 、 8 0 5 、 8 0 8 、 8 1 1 に比べて不純物濃度が低い領域 (ここではこのような低濃度領域を L D D 領域と呼び、さらにゲート電極とオーバーラップしているため L o v 領域と簡略化して呼ぶ) となる。以降の工程は、実施例 1 と同一でよい。

【 0 1 2 0 】

以上の工程により、画素部 9 0 5 においては、ダブルゲート構造の p チャンネル型 T F T からなる画素 T F T 9 0 6 と保持容量 9 0 7 が形成される。

【 0 1 2 1 】

画素 T F T 9 0 6 は、ソース領域 8 0 5 とチャンネル形成領域 8 0 7 との間に L D D 領域 (L o v 領域) 8 0 6 を有している。この L D D 領域 (L o v 領域) を形成することにより信頼性が向上する。また、同様に不純物領域 8 0 8 とチャンネル形成領域 8 0 7 との間に L D D 領域 (L o v 領域) 8 0 6 を有している。また、不純物領域 8 0 8 とチャンネル形成領域 8 1 0 の間、ドレイン領域 8 1 1 とチャンネル形成領域 8 1 0 の間にそれぞれ L D D 領域 (L o v 領域) 8 0 9 を有している。

【 0 1 2 2 】

なお、保持容量 9 0 7 と駆動回路 9 0 1 の n チャンネル型 T F T 9 0 3 は、実施例 1 と同一の構造であるため、ここでは詳細な説明は省略する。なお、保持容量 9 0 7 は、図 4 中の保持容量 2 0 7 に相当し、 n チャンネル型 T F T 9 0 3 は、図 4 中の n チャンネル型 T F T 2 0 3 に相当している。また、 p チャンネル型 T F T 9

04 は、画素部と同様にチャネル形成領域 803 とソース領域 801 との間、チャネル形成領域 803 とドレイン領域 804 との間にそれぞれ LDD 領域 (Lov 領域) 802 を有している例を示した。この LDD 領域 (Lov 領域) を形成することにより信頼性が向上するため、駆動回路に有用である。

【 0 1 2 3 】

また、本実施例は実施例 2 と組みあわせることが可能である。

【 0 1 2 4 】

〔実施例 6〕

本実施例では、画素に SRAM を備えた例について図 12 に説明する。図 12 は等価回路図である。

【 0 1 2 5 】

画素 1204 には画素 TFT 1205 と、SRAM 1207 と、対向電極と画素電極との間に液晶を挟んだ液晶セル 1208 とが設けられている。

【 0 1 2 6 】

画素 TFT 1204 のゲート電極は、ゲート配線 1209 に接続されている。また、画素 TFT のソース領域とドレイン領域は、一方は、ソース信号線 1210 に、もう一方は SRAM 1207 の入力側に接続されている。

【 0 1 2 7 】

SRAM は p チャネル型 TFT と n チャネル型 TFT を 2 つずつ有しており、p 茶根雨型 TFT のソース領域は、高電圧側電源線 1211 に接続され、電源 V_{ddh} に保たれている。また n チャネル型 TFT のソース領域は、低電圧側電源線 1212 に接続されており、電源 V_{ss} に保たれている。なお、 $V_{ddh} > V_{ss}$ である。1 つのチャネル型 TFT と 1 つの p チャネル型 TFT が一対になっており、1 つの SRAM の中に p チャネル型 TFT と n チャネル型 TFT との対が 2 組み存在することになる。

【 0 1 2 8 】

対になった p チャネル型 TFT と n チャネル型 TFT は、そのドレイン領域が互いに接続されている。また、対になった p チャネル型 TFT と n チャネル型 TFT は、そのゲート電極が互いに接続されている。そして互いに対をなしている

pチャネル型及びnチャネル型TFTのドレイン領域が、もう一方の対をなしているpチャネル型TFTのゲート電極と同じ電位に保たれている。そして一方の対を成しているpチャネル型及びpチャネル型TFTのドレイン領域は入力信号(V_{in})が入る入力側であり、もう一方の対を成しているpチャネル型及びnチャネル型TFTのドレイン領域は出力信号(V_{out})が出力される側である。

【0129】

SRAMは V_{in} を保持し、 V_{in} を反転させた信号である V_{out} を出力するように設計されている。つまり、 V_{in} がHiだと V_{out} は V_{ss} 相当のLoの信号となり、 V_{in} がLoだと V_{out} は V_{ddh} 相当のHiの信号となる。

【0130】

SRAMの出力側は、液晶セルが有する画素電極に接続されている。

【0131】

ゲート信号線に入力される選択信号により、画素TFTは、オン状態になる。そしてソース信号線に入力されたデジタルビデオ信号は、画素TFTを介してSRAMの入力側に V_{in} として入力される。

【0132】

入力されたデジタルビデオ信号は次のデジタルビデオ信号が入力されるまで保持される。また、SRAMはDRAMに比べてデジタルビデオ信号の書き込みにかかる時間が短く、高速でデータの書き込みを行うことが可能である。

【0133】

デジタルビデオ信号は、1または0の情報を有しており、SRAMに入力されたデジタルビデオ信号は、その情報が反転して出力される。例えば1の情報を有するデジタルビデオ信号がSRAMに入力されると、0の情報を有するデジタルビデオ信号がSRAMの出力側から V_{out} として出力される。逆に0の情報を有するデジタルビデオ信号がSRAMの出力側から V_{out} として出力される。

【0134】

SRAMの出力から出力されたデジタルビデオ信号は、液晶セルが有する画素

電極に入力される。そしてデジタルビデオ信号が有する 1 または 0 の情報に従って液晶を駆動し、透過光量が制御される。

【 0 1 3 5 】

そして、同様に、全ての画素にデジタルビデオ信号が入力されることによって、各画素の有する液晶セルがオン状態になるかならないかが選択される。

【 0 1 3 6 】

さらに全てのビットのデジタルビデオ信号が全ての画素に入力されると、1つの画像が表示される。1フレーム期間中に各画素の液晶セルが光を透過している期間の長さを制御することによって階調表示を行ってもよいし、複数の画素を1つの単位とし、光を透過している液晶セルを有する画素の面積を制御することで階調表示を行っても良い。

【 0 1 3 7 】

本発明において S R A M を画素中に設けることで画素に入力されたデジタルビデオ信号を、次のデジタルビデオ信号が入力されるまで、より確実に保持することが可能になる。すなわち、液晶セルの画素電極において保持する電荷が画素 T F T のリーク電流によって減少するのを防ぎ、液晶セルの透過光量が変化することを防ぐことが可能となる。

【 0 1 3 8 】

なお、揮発性のメモリは T F T を用いて形成することが可能なため、画素 T F T と同時に形成することが可能である。

【 0 1 3 9 】

なお、本発明において、保持容量は積極的に設けなくとも良い。保持容量を設けない場合、デジタルビデオ信号を画素に入力する時間を短くすることが可能になる。そのため液晶表示装置の画素数が増加しても書き込み期間の長さを抑えることができる。

【 0 1 4 0 】

なお、本実施例では、実施例 1、実施例 2、実施例 4、または実施例 5 に示した構成と自由に組み合わせて実施することが可能である。

【 0 1 4 1 】

〔実施例 7〕

本発明を実施して形成された駆動回路や画素部は様々なモジュール（アクティブマトリクス型液晶モジュール、アクティブマトリクス型 EL モジュール、アクティブマトリクス型 EC モジュール）に用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0142】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 13、図 14 に示す。

【0143】

図 13（A）はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 等を含む。本発明を表示部 2003 に適用することができる。

【0144】

図 13（B）はモバイルコンピュータ（モービルコンピュータ）であり、本体 2001、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 等を含む。本発明は表示部 2205 に適用できる。

【0145】

図 13（C）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2401、表示部 2402、スピーカ部 2403、記録媒体 2404、操作スイッチ 2405 等を含む。なお、このプレーヤーは記録媒体として DVD（Digital Versatile Disc）、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2402 に適用することができる。

【0146】

図 14（A）は携帯書籍（電子書籍）であり、本体 3001、表示部 3002、3003、記憶媒体 3004、操作スイッチ 3005、アンテナ 3006 等を

含む。本発明は表示部 3 0 0 2、3 0 0 3 に適用することができる。

【 0 1 4 7 】

図 1 4 (B) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。本発明は表示部 3 1 0 3 に適用することができる。

【 0 1 4 8 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 6 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 1 4 9 】

【発明の効果】

本発明によりアクティブマトリクス型の液晶表示装置に代表される半導体装置において、画素部の面積が大きくなり大画面化しても低消費電力を実現することができる。

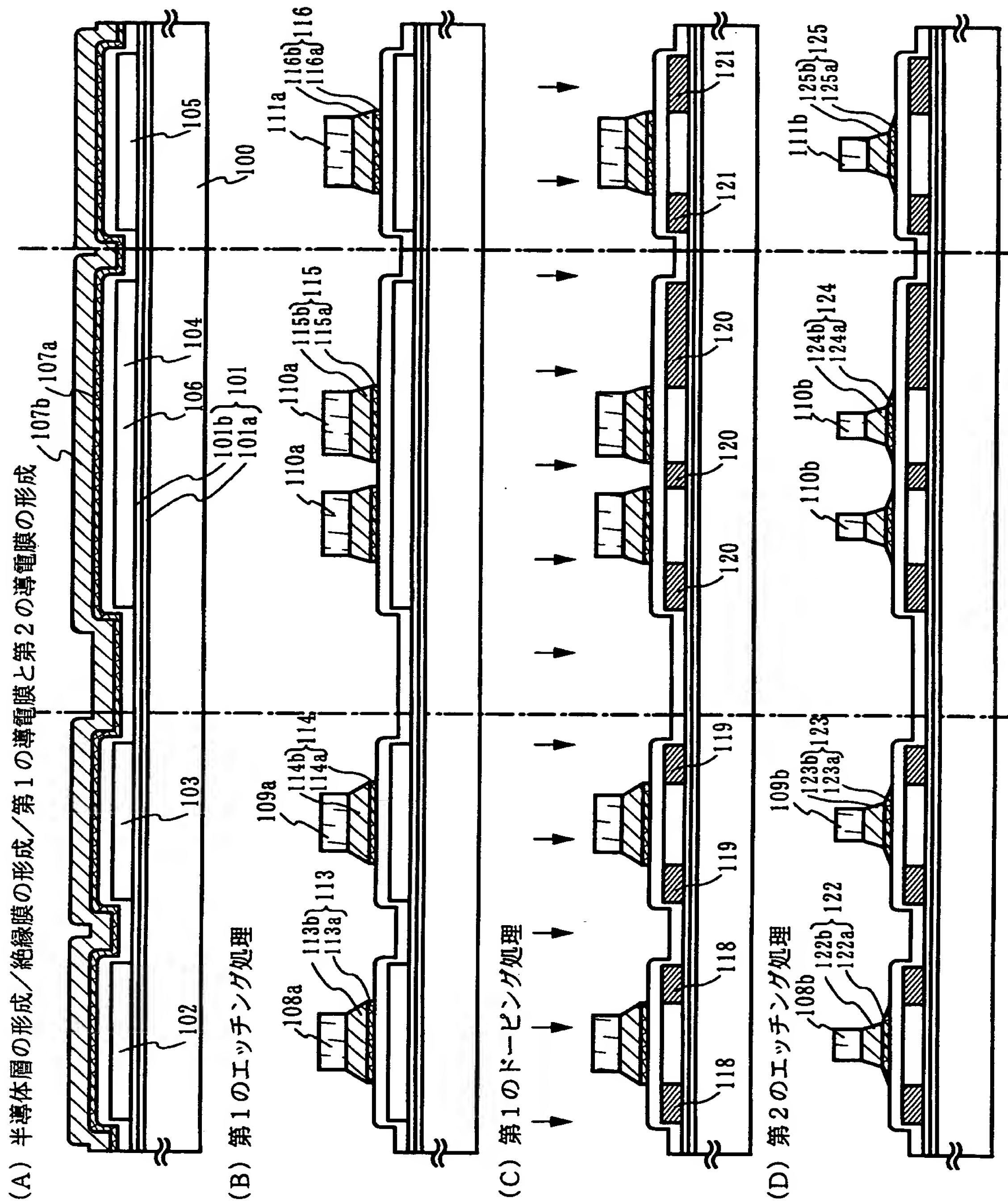
【図面の簡単な説明】

- 【図 1】 AM-LCD の作製工程を示す図。
- 【図 2】 AM-LCD の作製工程を示す図。
- 【図 3】 アクティブマトリクス基板を示す図。
- 【図 4】 画素の上面図を示す図。
- 【図 5】 アクティブマトリクス型液晶表示装置の断面構造図。(実施例 2)
- 【図 6】 AM-LCD の外観を示す図。(実施例 2)
- 【図 7】 AM-LCD の作製工程を示す図。(実施例 3)
- 【図 8】 アクティブマトリクス基板を示す図。(実施例 3)
- 【図 9】 アクティブマトリクス基板を示す図。(実施例 4)
- 【図 1 0】 アクティブマトリクス基板を示す図。(実施例 5)
- 【図 1 1】 レーザー照射の様子を示す簡略図。
- 【図 1 2】 画素内に S R A M を内蔵した回路図。
- 【図 1 3】 電子機器の一例を示す図。
- 【図 1 4】 電子機器の一例を示す図。

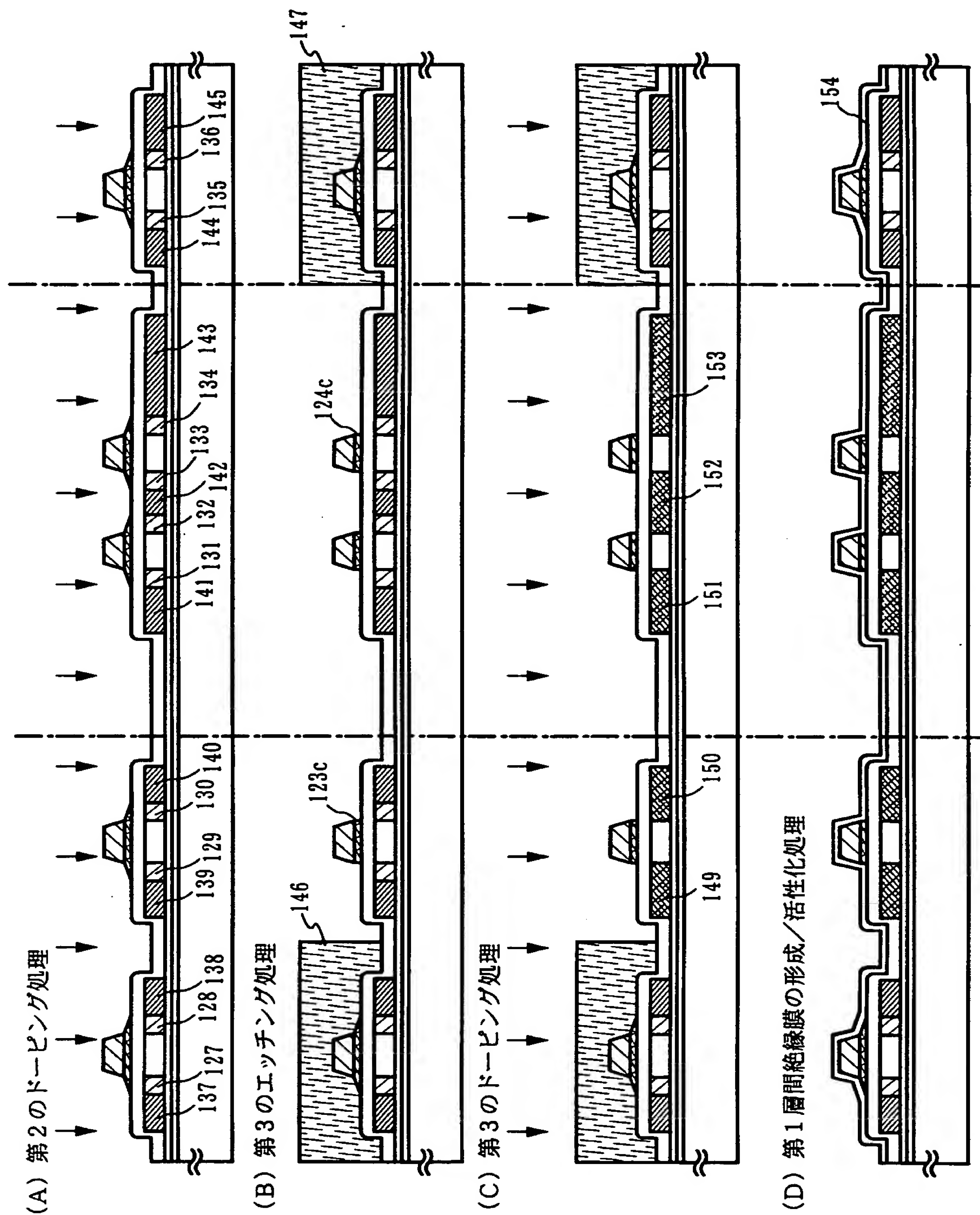
【書類名】

図面

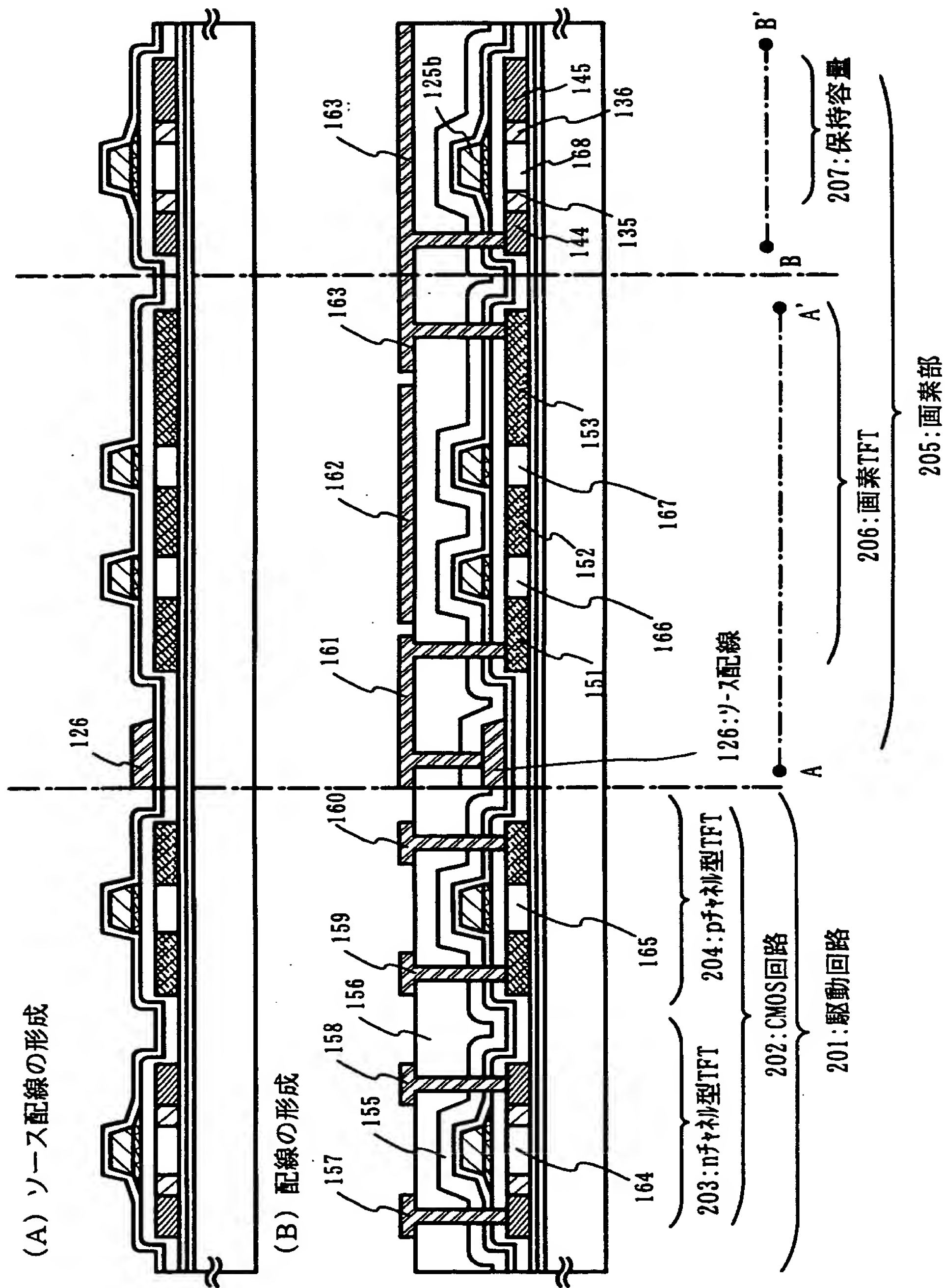
【図 1】



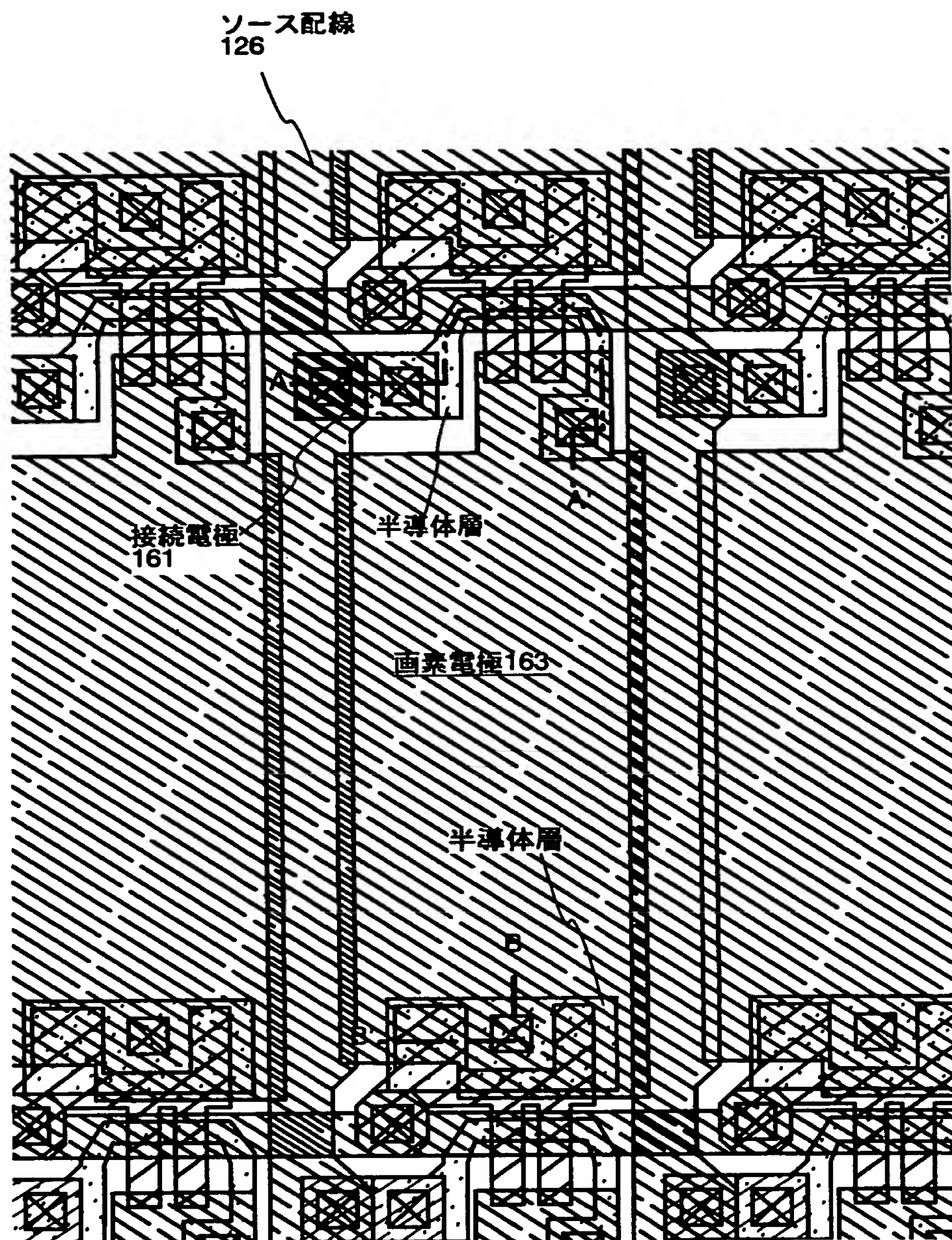
【図 2】



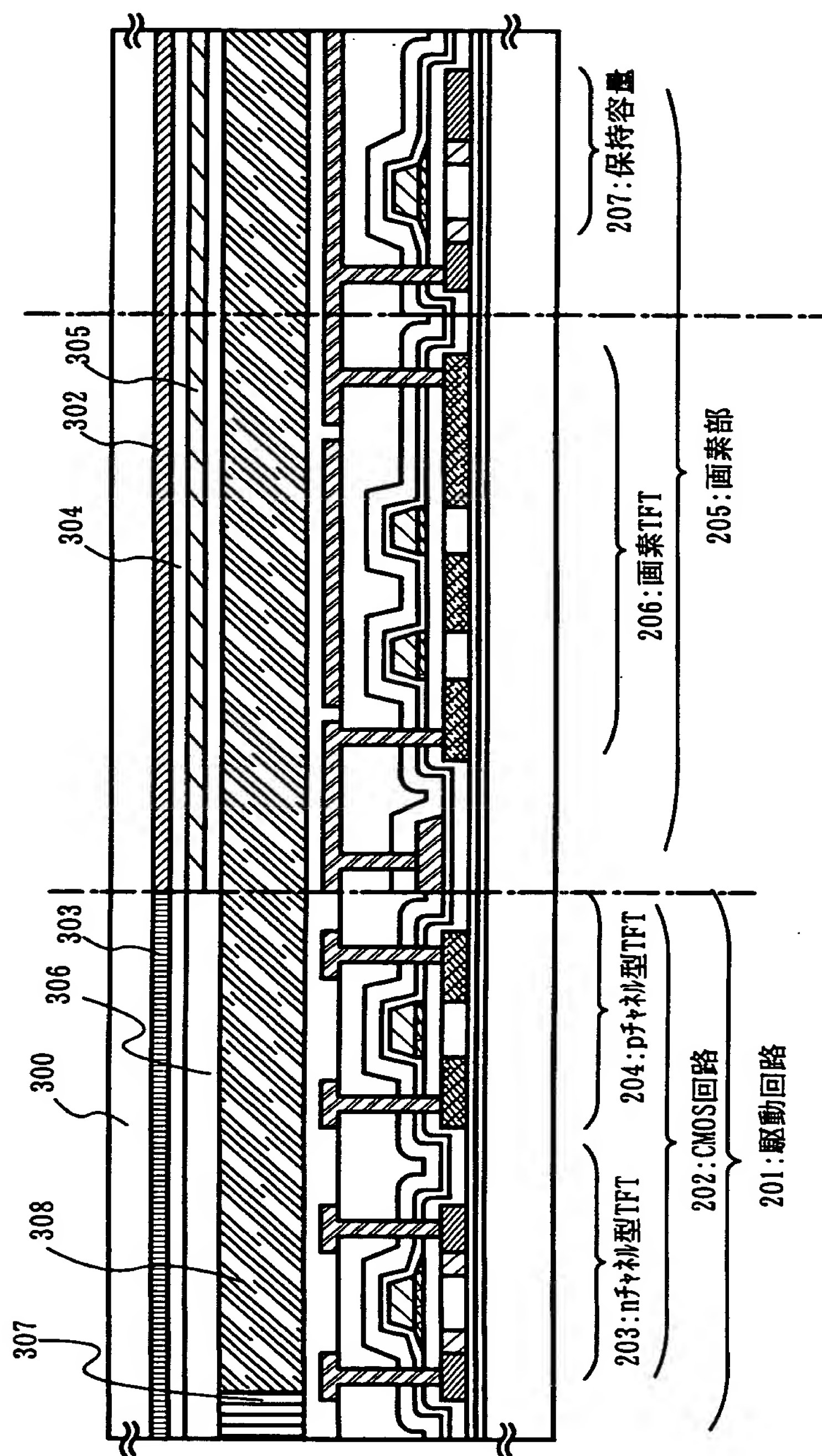
【図 3】



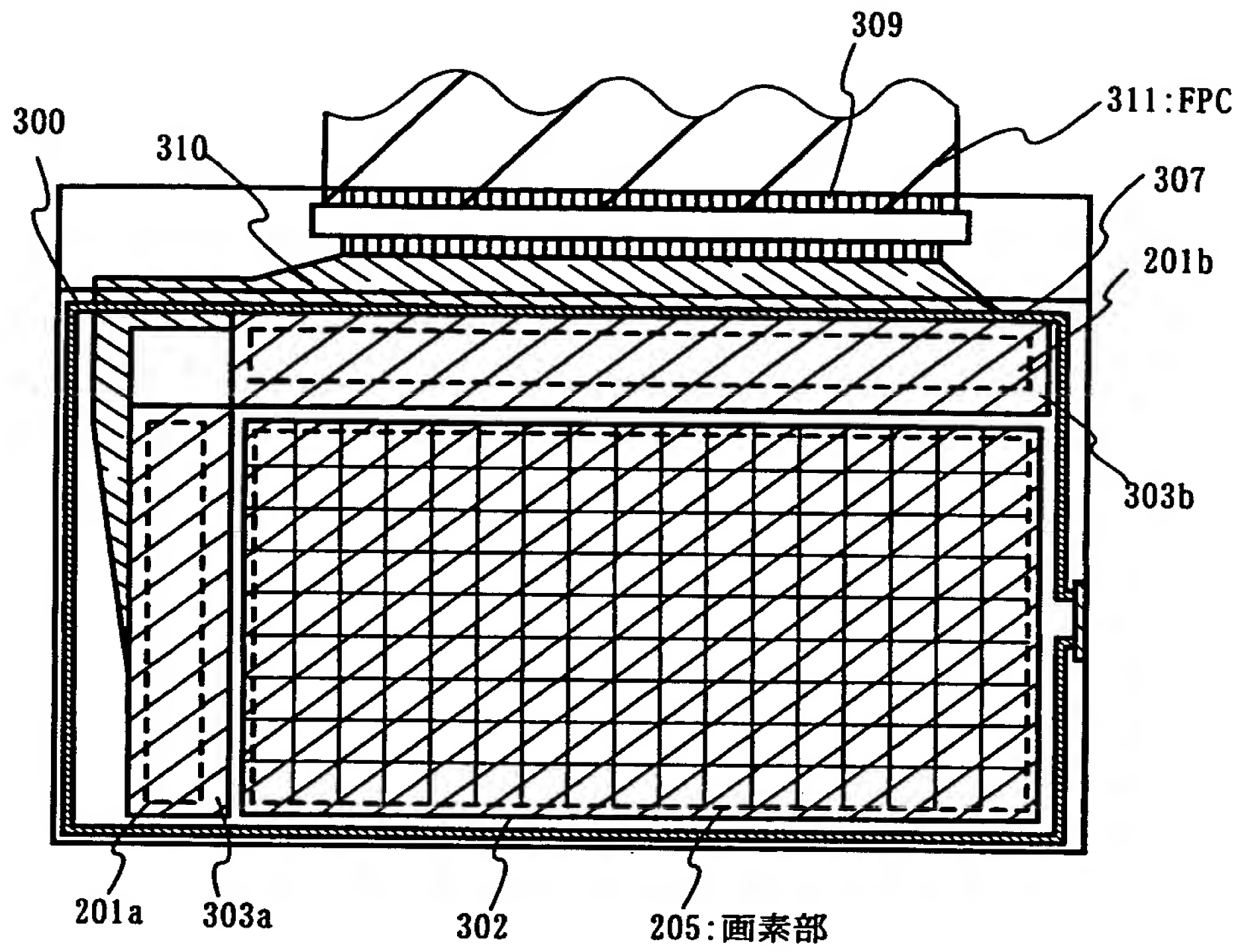
【図 4】



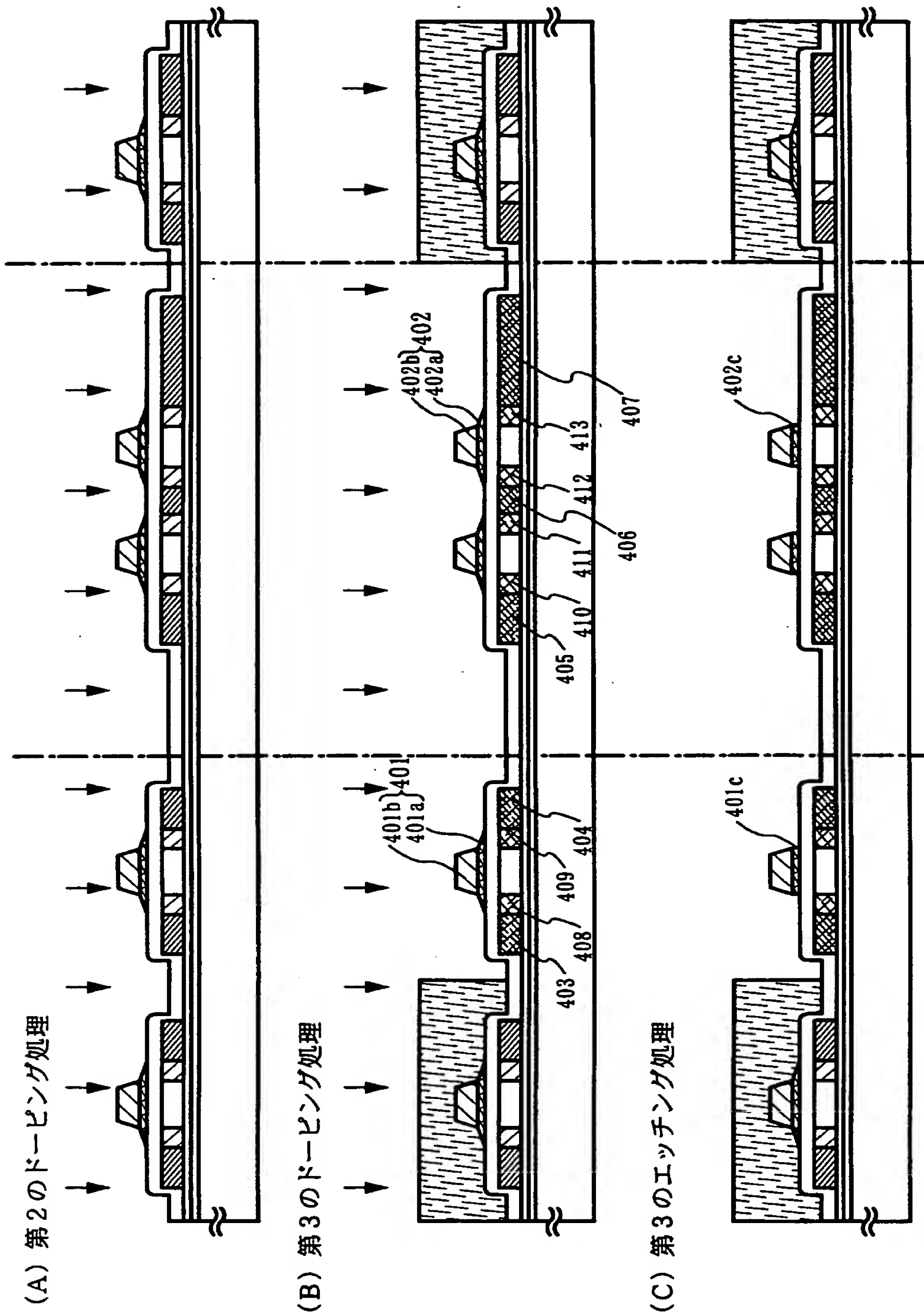
【図 5】



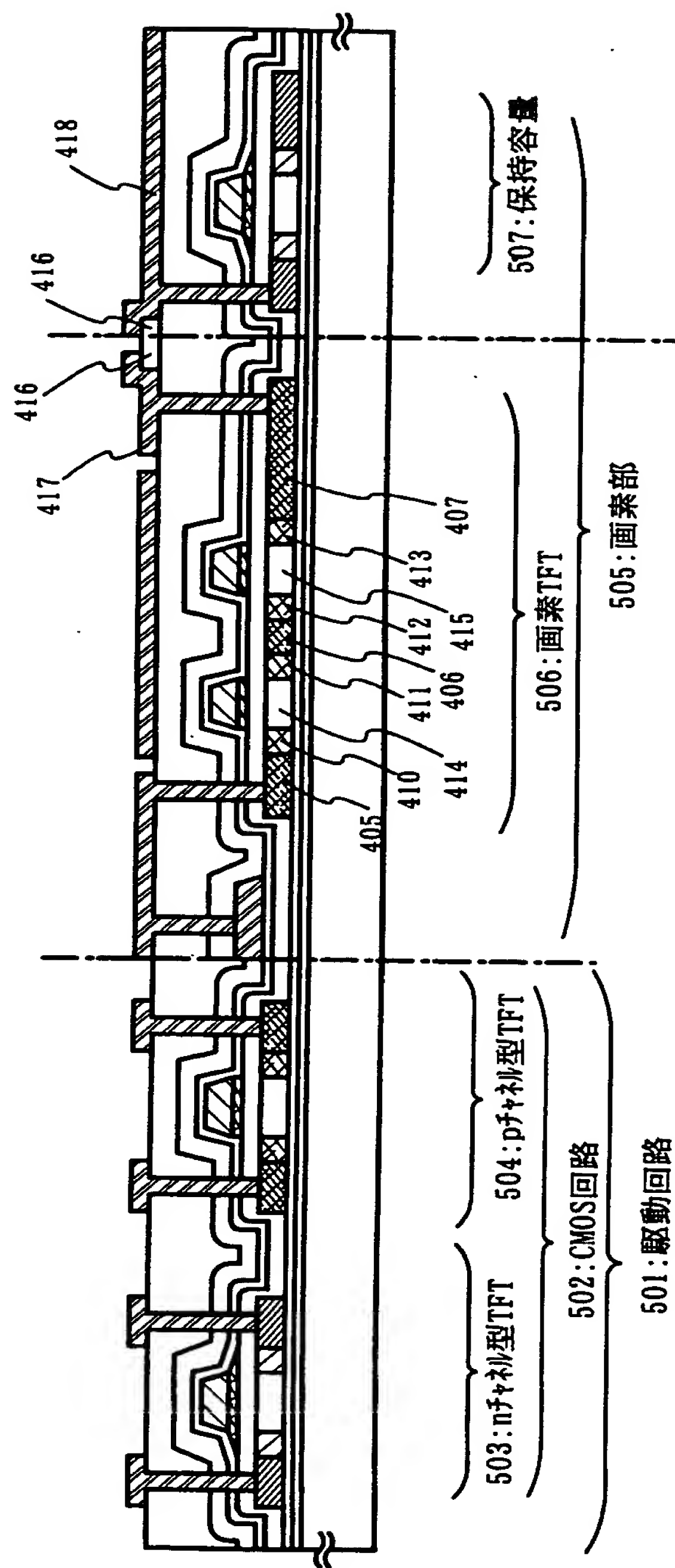
【図 6】



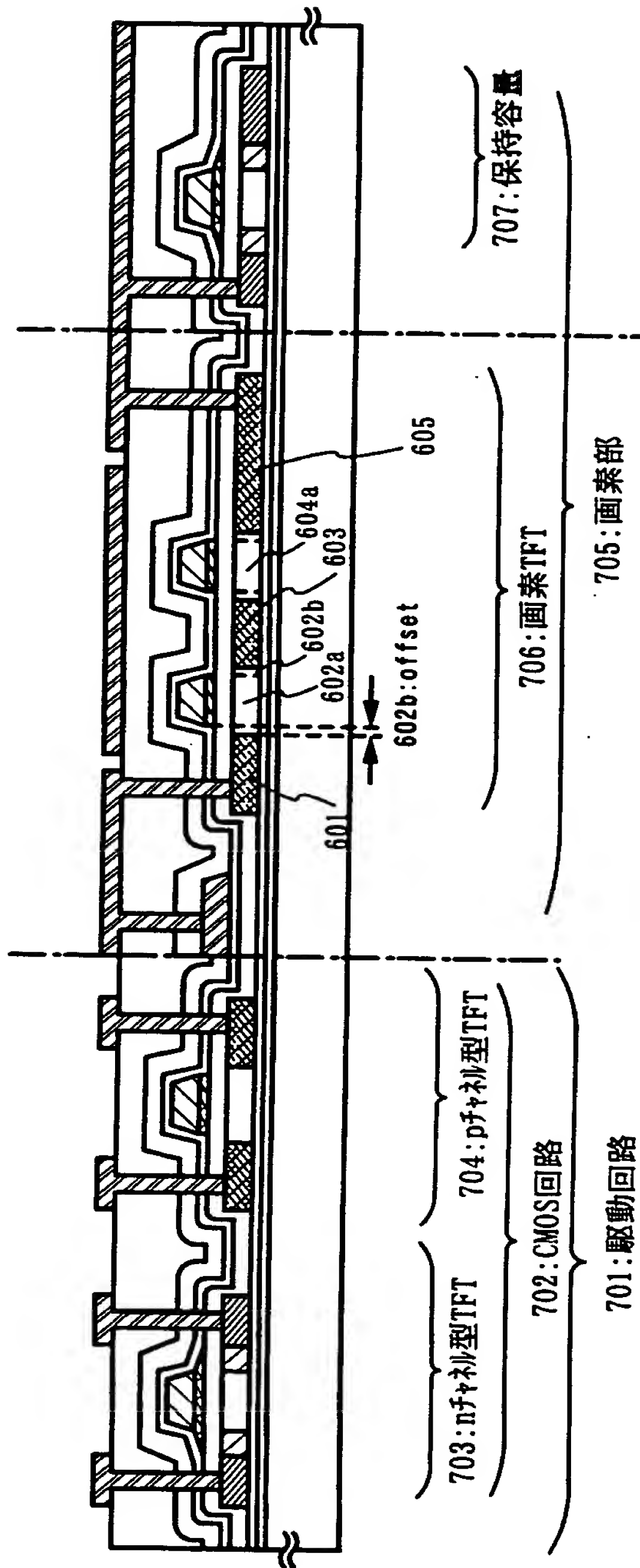
【図 7】



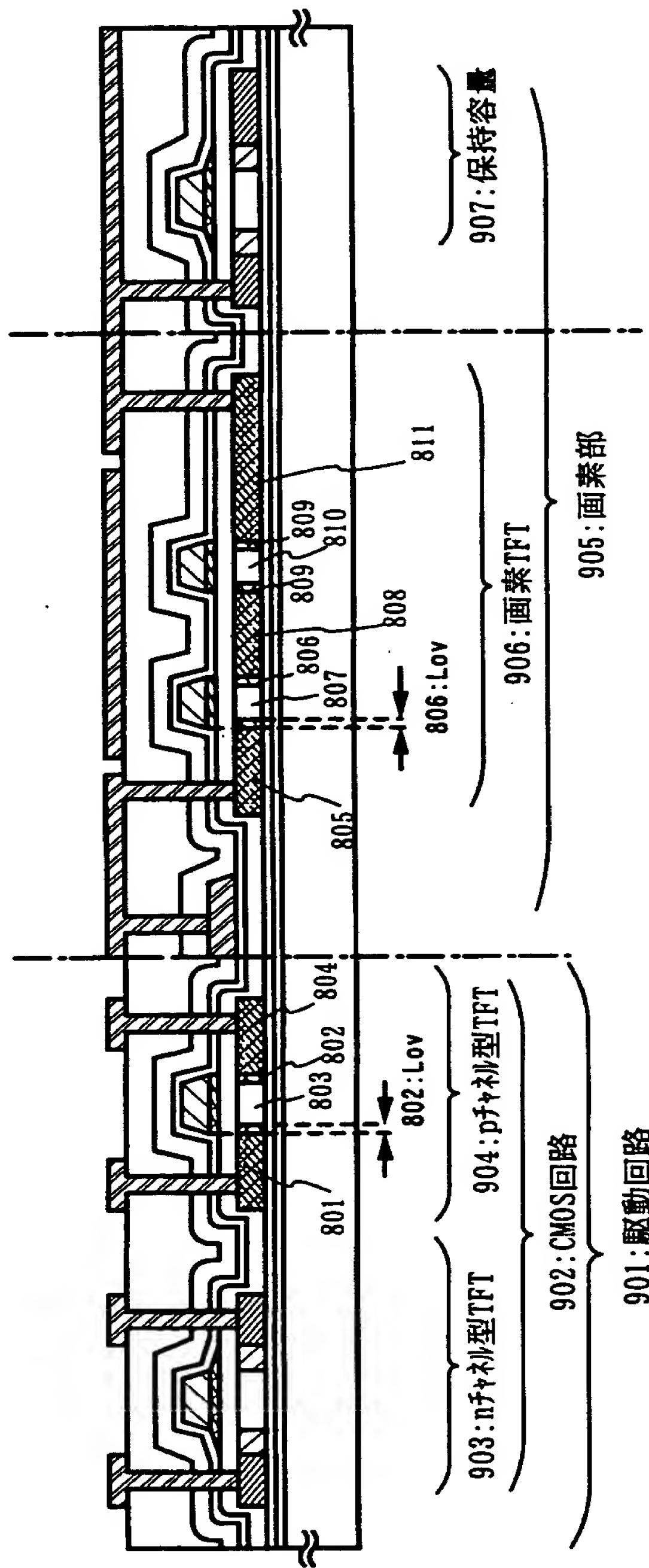
【図 8】



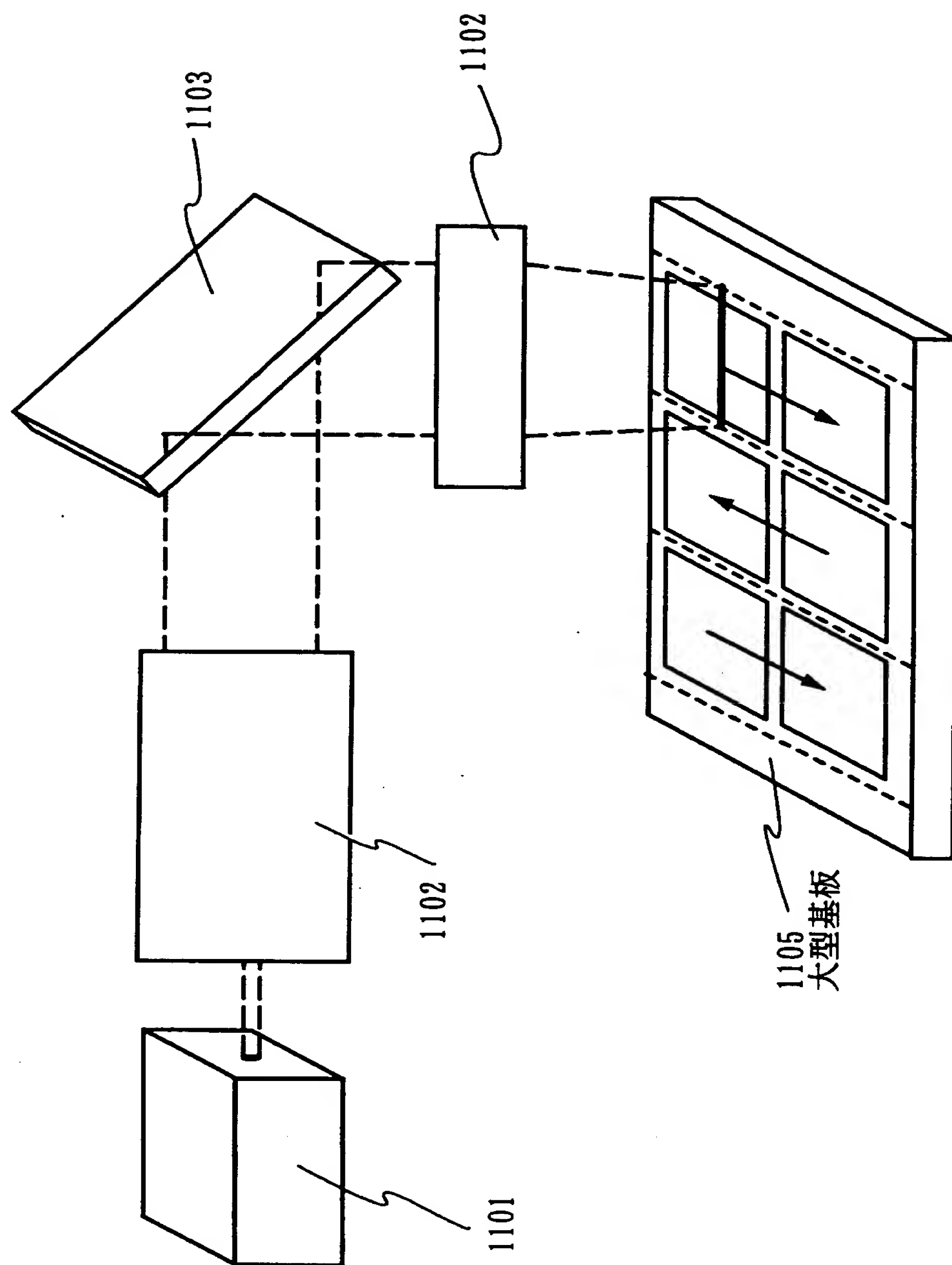
【図 9】



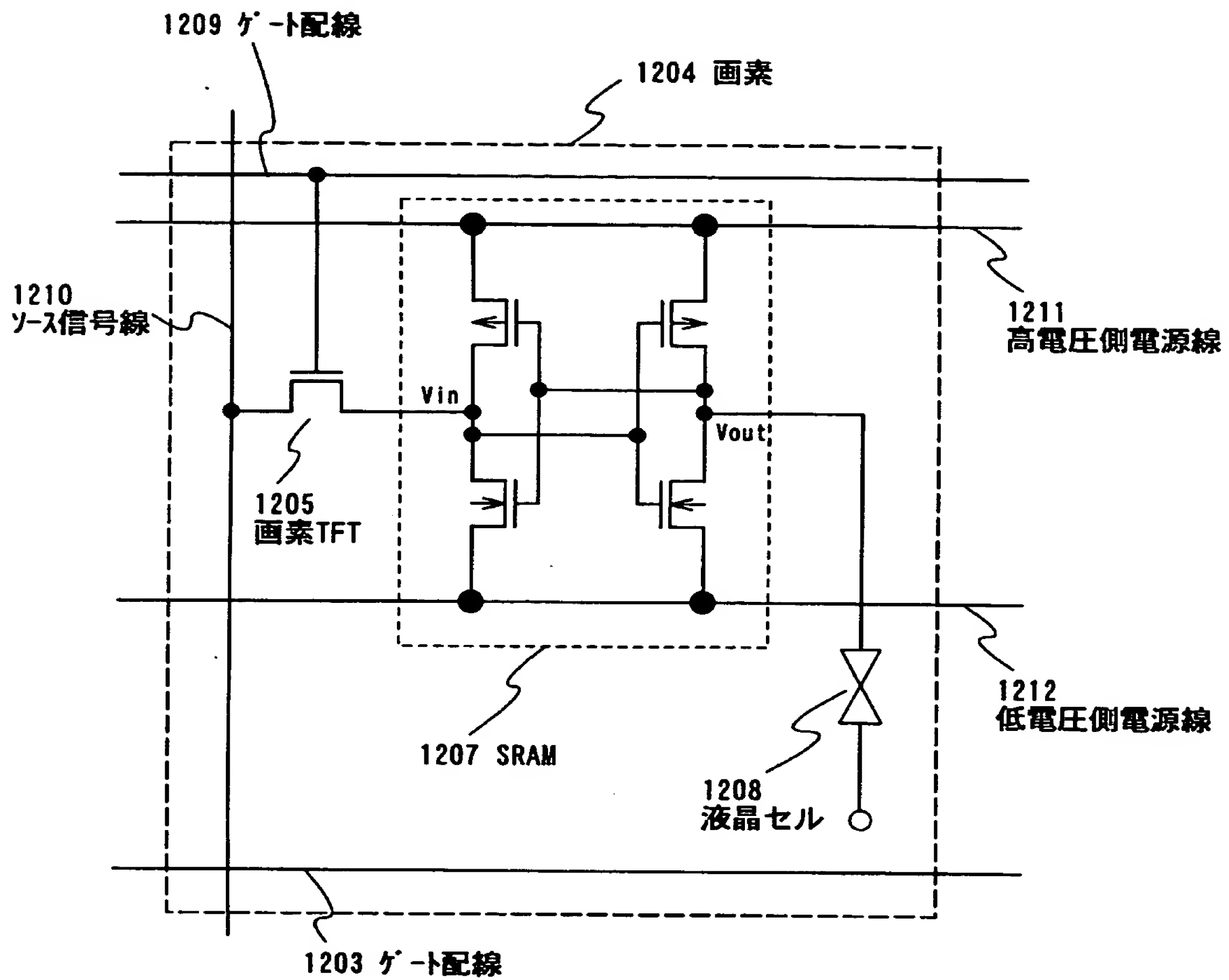
【図10】



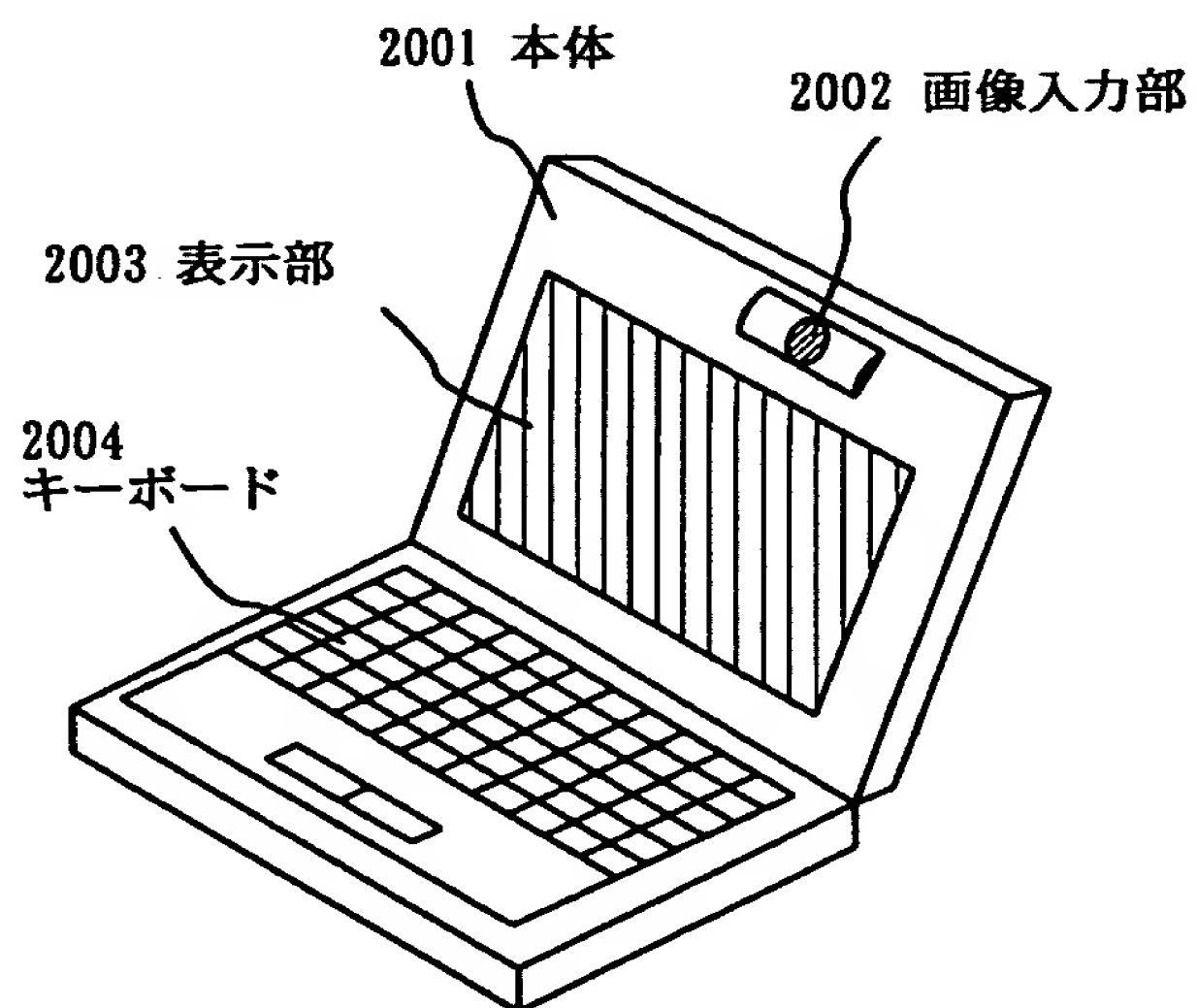
【 図 1 1 】



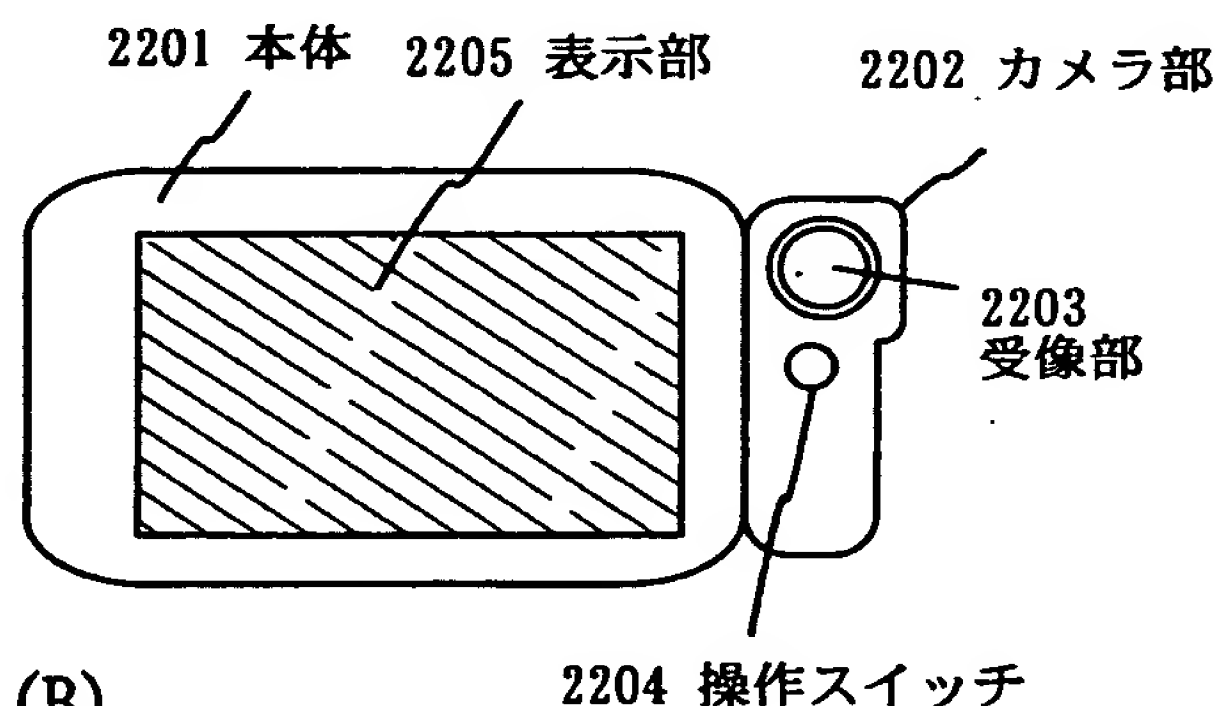
【図 1 2】



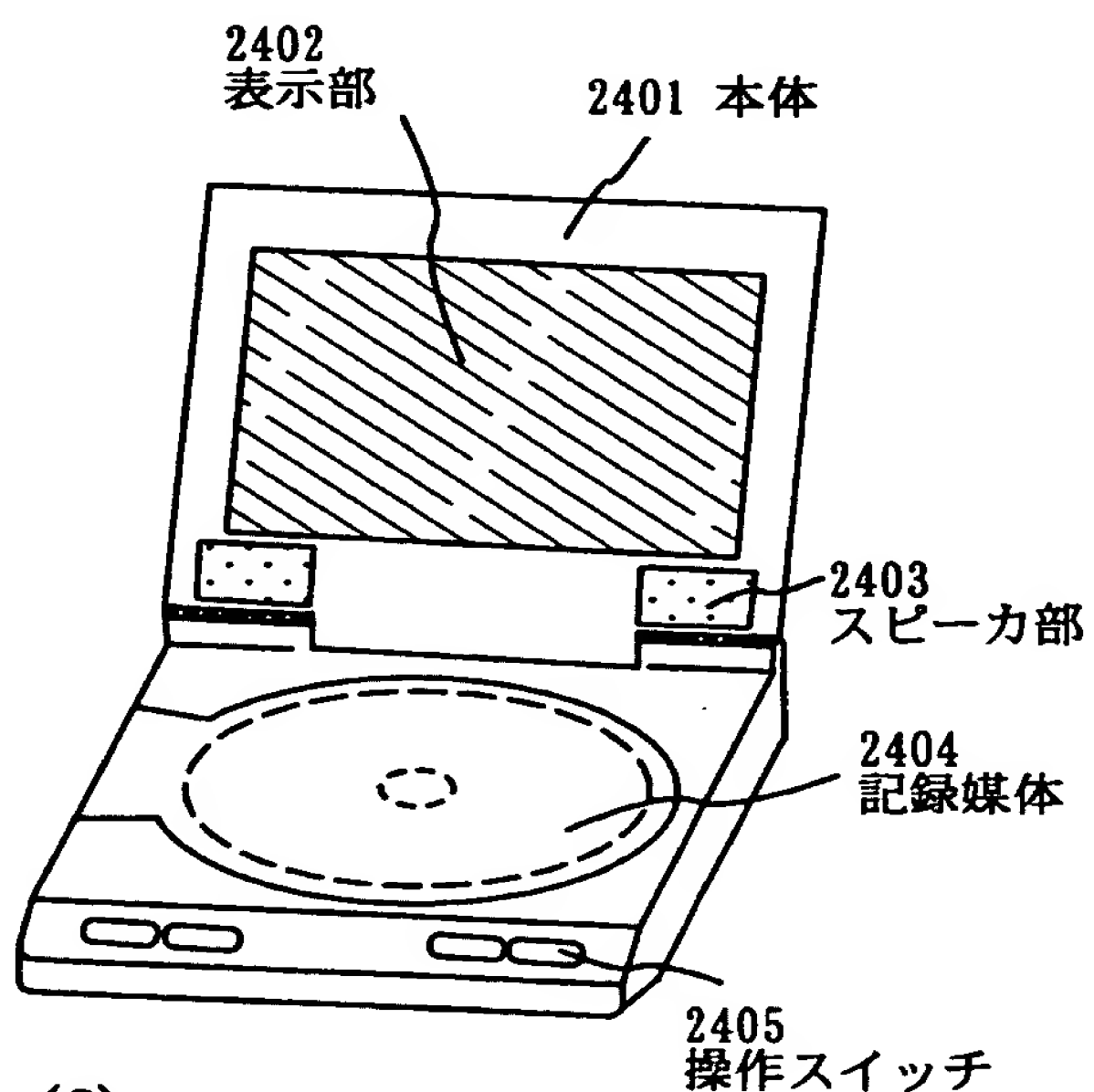
【図 1 3】



(A)

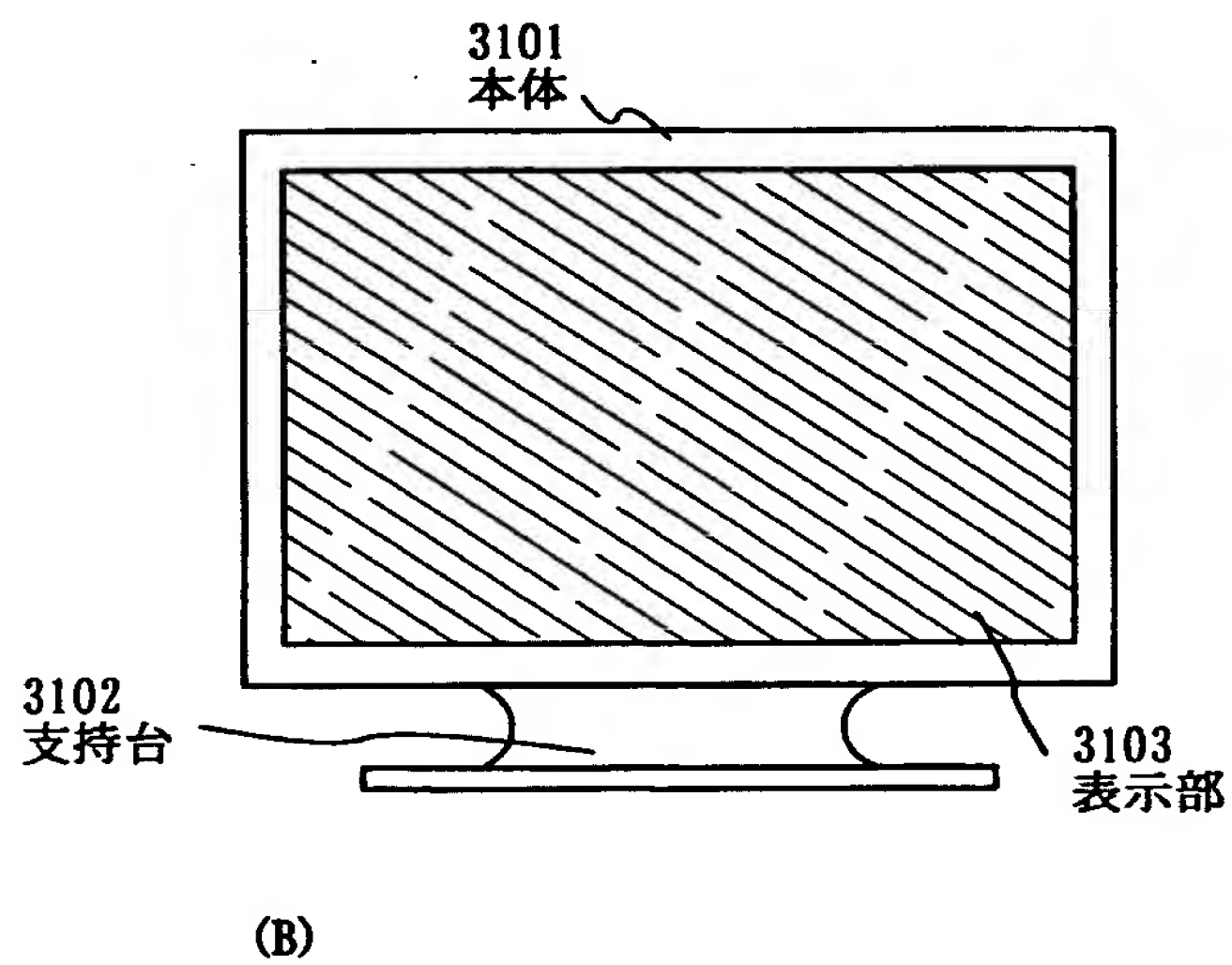
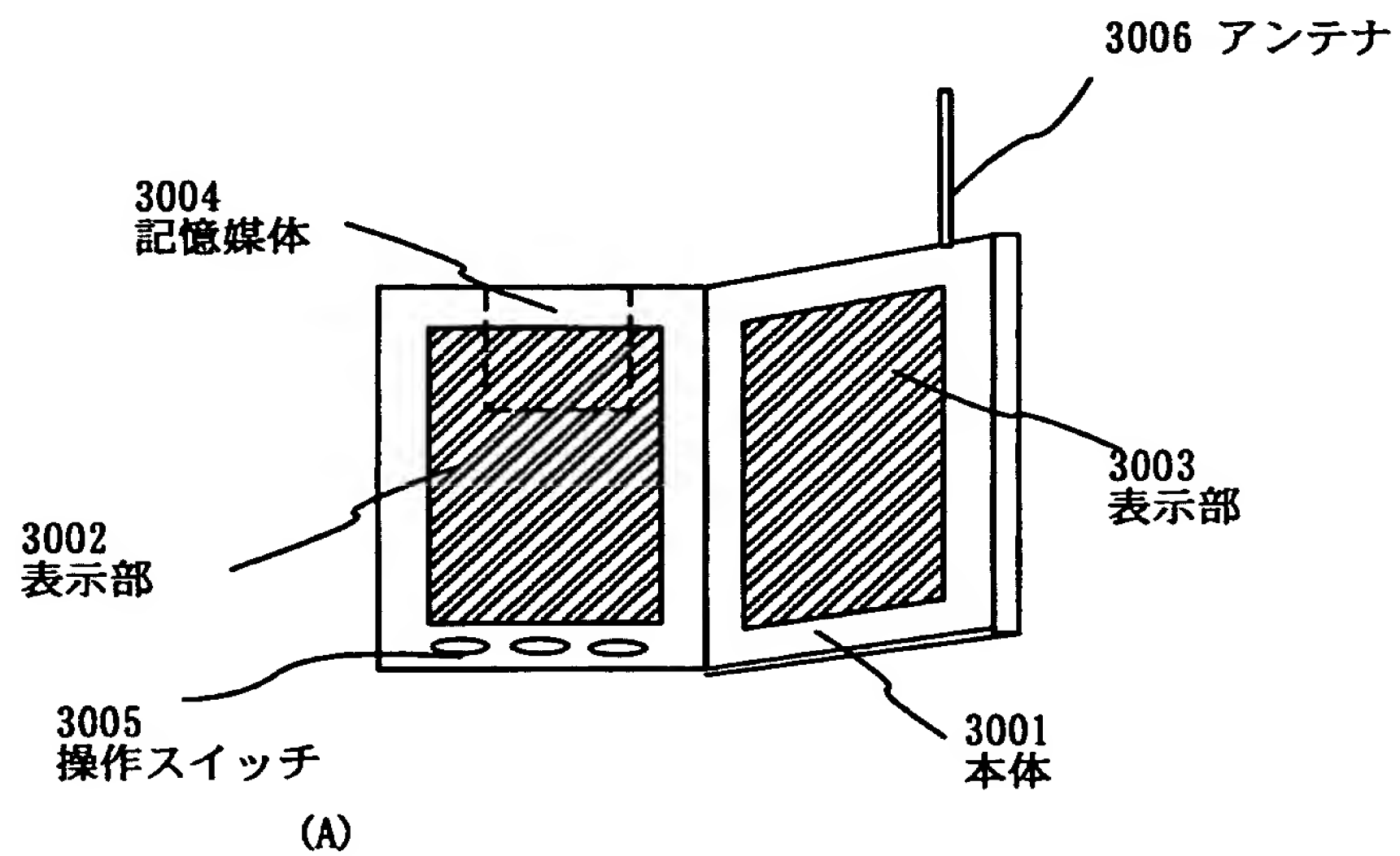


(B)



(C)

【図 1 4】



【書類名】 要約書

【要約】

【課題】 本発明は、大画面化しても低消費電力を実現した半導体装置の構造およびその作製方法を提供する。

【解決手段】 本発明は、信号配線 1 6 2 またはゲート配線の一部 1 6 2 を低抵抗な材料（代表的にはアルミニウム）で形成し、且つ、画素部 2 0 5 の画素 T F T 2 0 6 を p チャネル型 T F T で構成する。また、画素部の p チャネル型 T F T は、オフ電流のバラツキを低減するために、複数のチャネル形成領域 1 6 6、1 6 7 を有するマルチゲート構造とする。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日 1 9 9 0 年 8 月 1 7 日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷 3 9 8 番地
氏 名 株式会社半導体エネルギー研究所